

UNIVERSIDAD TECNICA FEDERICO SANTA MARIA

Tesis de Magíster

Convertidor DC-DC de Topología Doble Puente Activo Tipo T con Potencia Parcial

Tesis para optar al grado/título de
Magíster en Ciencias de la Ingeniería Electrónica/Ingeniero Civil Electrónico

Alumno
Ronald Luis Carmona Molina

Guía de Tesis/Profesor Supervisor
Dr. Christian Rojas Monrroy

Revisores/Comisión Co-Referente
Dr. José Espinoza
Dr. Samir Kouro

20 de Noviembre 2024, Valparaíso, Chile

Uno avanza por la vida poco a poco, sin tener idea de lo que le espera. Lo que ilumina el camino no es "La respuesta correcta", que se ve vagamente a lo lejos, sino una luz interior que baila dentro de los sueños. Así quiero ser.

-Takehiko Inoue

AGRADECIMIENTOS

EL camino que he recorrido hasta ahora ha estado lleno de retos que se han vuelto más duros a medida que avanzaba. Muchos de ellos hubieran sido imposibles sin la compañía adecuada. He tenido la suerte de tener cerca a personas maravillosas a quienes siempre agradeceré.

A mi familia, que siempre creyó en mí—mi hermana Johanna, mi papá Juan, mi cuñado Kevin, mi sobrinita Amandita—y, sobre todo, a mi mamá, quien siempre vio en mi alguien especial.

Para mis amigos de la infancia, Vicente y Cristóbal, a quienes considero prácticamente mis hermanos, así como al Ofaso y al Nico. Son personas increíbles con quienes siempre nos hemos reído en las juntas.

A mis amigos que conocí durante mi vida universitaria: Julio, Miguel y Andrés, con quienes siempre pasé momentos divertidos e inspiradores. A Ignacio, a quien considero un hermano. Tu ayuda y empatía con todos te hacen un ejemplo a seguir. Agustín, gracias por tantos momentos, valoro enormemente tu amistad. Gracias al Sando y al Tomo, son personas increíbles por donde se les mire.

Agradecimientos a todos los chicos del AC3E, especialmente al Alejandro Peralta que me ayudo en demasía con la construcción del set-up y en las dificultades que tuve con este. Al Alan que siempre me resolvía todas las dudas. y por supuesto al Miqueles, Alejandro, Rodrigo y Jonathan, el desarrollo experimental se me fue volando gracias a ustedes.

Agradezco al profesor Christian. A lo largo de mi estadía en el magíster, me ayudó siempre que se requería. A pesar de tener un conocimiento extraordinario en ámbitos científicos, me enseñó con el ejemplo que hay algo mucho más importante que va más allá de lo técnico: la importancia de ser una buena persona y de pensar en grande. Usted el mejor docente que he tenido.

Agradezco de corazón a mi novia María, la persona que más ha impactado de forma positiva en estos últimos años. Conocerte marcó un antes y un después, viste en mí no solo a una persona capaz de grandes cosas, sino que me hiciste ver que todo tiene solución. Te amo con todo mi corazón. También agradezco a tu familia, que me acogió como a uno más.

Este trabajo fue apoyado por FONDECYT bajo la subvención N° 1210757 y 1240537, al AC3E bajo el Proyecto ANID/BASAL/AFB240002 y SERC Proyecto ANID/FONDAP/1522A0006

Ronald Luis Carmona Molina

RESUMEN

EN ESTE TRABAJO se desarrolló e implementó un convertidor DC-DC basado en las topologías T-type y DAB, en modalidades de potencia completa y potencia parcial. Para el diseño del sistema, se eligió el semiconductor GaN debido a su capacidad para operar a altas frecuencias. Se desarrollaron esquemas de modulación basados en la topología T-type y se modeló la planta utilizando dos enfoques diferentes: un modelo basado en Fourier y otro en Valor Medio. Estos modelos permitieron analizar y comparar el comportamiento del convertidor bajo diferentes condiciones de operación.

Se realizaron simulaciones en distintas condiciones y variaciones de parámetros, mostrando las formas de onda correspondientes a las distintas pruebas realizadas, lo que permitió validar la respuesta dinámica del sistema. A su vez, se realizaron las primeras comparativas entre las modalidades de potencia completa y parcial. De esta última, también se hicieron estudios de los coeficientes de parcialidad, que representan el comportamiento de las potencias del sistema.

Finalmente, se entregaron resultados experimentales que confirmaron la validez de los modelos propuestos, demostrando que el modo PPC presenta mayor eficiencia en un amplio rango de potencias bajo diversas condiciones. Adicionalmente, en el apartado experimental se llevaron a cabo validaciones relacionadas con las temperaturas del sistema.

Palabras Claves

Convertidores de potencia, Convertidor DC-DC, T-type, DAB, T-type DAB, Potencia Completa, Potencia Parcial, Modulación por desfase de fase, Semiconductor GaN, 100 Khz, Trenes de potencia, Set-Up.

ABSTRACT

IN THIS WORK a DC-DC converter based on T-type and DAB topologies was developed and implemented in both full power and partial power modes. For the system design, the GaN semiconductor was selected due to its high-frequency capabilities. Modulation schemes based on the T-type topology were developed, and the plant was modeled using two different approaches: a Fourier-based model and a Mean Value model. These models allowed for the analysis and comparison of the converter behavior under different operating conditions.

Simulations were conducted under various conditions and parameter variations, displaying the waveforms corresponding to the different tests performed, which validated the system dynamic response. Additionally, initial comparisons between full power and partial power modes were made. For the latter, studies on partiality coefficients were also conducted, representing the system power behavior.

Finally, experimental results were provided, confirming the validity of the proposed models and demonstrating that the PPC mode exhibits higher efficiency over a wide range of power levels under various conditions. Additionally, in the experimental section, validations related to system temperatures were carried out.

Keywords

Power converters, DC-DC Converter, T-type, DAB, T-type DAB, Full Power, Partial Power, Phase-Shift Modulation, GaN Semiconductor, 100 kHz, Powertrain, Set-Up.

ÍNDICE

AGRADECIMIENTOS **I**

RESUMEN **II**

ABSTRACT **III**

ÍNDICE DE FIGURAS **VIII**

ÍNDICE DE TABLAS **XII**

ABREVIACIONES **XIV**

1. INTRODUCCIÓN **1**

1.1. Tren de potencia 2
1.2. Convertidores DC-DC 3
1.3. Convertidores basados en el DAB 4
1.3.1. Convertidor Dual Active Bridge 4
1.3.2. Convertidores T-type DAB asimétricos 5
1.3.3. Convertidor T-type DAB simétrico 7
1.4. Convertidores Parciales 7
1.4.1. Tipos de Convertidores Parciales 8
1.5. Convertidores DAB en Configuración Parcial 9
1.5.1. Convertidor DAB en Configuración Parcial 9
1.5.2. Convertidor T-type DAB PPC IPOS 9
1.6. Modulación 10
1.7. Modelo y Control del Convertidor 11
1.7.1. Técnica Basada en Valor Medio 11
1.7.2. Técnica Basada en Armónicos 11
1.8. Hipótesis 12

1.9. Objetivo General, Específicos, Alcances y Limitaciones 12
1.10. Alcances y limitaciones 12
1.11. Resumen de los Capítulos 13

2. CONVERTIDOR DAB MULTINIVEL PPC 14
2.1. Dual Active Bridge 15
2.1.1. Modos de Operación y Modulación 17
2.2. Convertidor T-type DAB 18
2.2.1. Estados de Conmutación 19
2.2.2. Ecuaciones que modelan el sistema 21
2.2.3. Convertidor T-type DAB IPOS PPC 21

3. MODULACIÓN 24
3.1. Modulación del convertidor T-type 25
3.2. Modulación del Convertidor T-type DAB 27
3.3. Secuencias posibles 29

4. MODELO DEL CONVERTIDOR 33
4.1. Modelo basado en formas de onda 34
4.1.1. Segmentación del Ciclo de Conmutación 35
4.1.2. Formulación de corriente de entrada y salida 37
4.1.2.1. Análisis de balance de capacitores 38
4.1.3. Modelo de las corrientes i_{pc} 40
4.1.4. Cálculo del Valor Medio de las corrientes i_{pc2} 42
4.1.5. Obtención de modelo lineal 45
4.1.5.1. Función de transferencia 46
4.2. Modelo basado en series de Fourier 47
4.2.1. Series de Fourier y Obtención de Coeficientes 47
4.2.2. Definición de las funciones S_1, S_4, S_5 y S_8 48
4.2.2.1. Cálculo de los coeficientes A_0, A_k y B_k 48
4.2.3. Representación de la variable en el lado alterno 49
4.2.4. Obtención de i_{PC} 52
4.2.5. Obtención de modelo lineal 52
4.2.6. Función de transferencia 53
4.3. Modelo para Convertidor FPC o PPC 53

5. RESULTADOS DE SIMULACIÓN 54
5.1. Esquemático 55
5.2. Parámetros de simulación 56
5.3. Modulación y Control 57

5.4. Simulación en lazo abierto 58
5.5. Cálculo de los Controladores 60
5.6. Control del Convertidor en Modalidad de Potencia Completa 62
5.6.1. Impacto de la Inductancia y Capacitancia en respuesta transitoria . 64
5.7. Control del Convertidor en Modalidad de Potencia Parcial 66
5.7.1. Coeficiente de Parcialidad 68
5.8. Comparación de Eficiencia en Potencia Completa y Parcial 71

6. VALIDACIÓN EXPERIMENTAL 74
6.1. Set-Up Experimental 75
6.2. Módulo GaN LMG342XEVM-04 76
6.3. Generación de PCB 78
6.4. Transformador HIMAG 80
6.5. Convertidor T-type DAB 81
6.6. Parámetros del sistema 82
6.7. Implementación en MicroLabBox 82
6.7.1. Control y mediciones 82
6.7.2. Modulación 83
6.7.3. ControlDesk 86
6.8. Pruebas en Lazo Abierto 87
6.9. Lazo Cerrado 90
6.9.1. Controladores PI 90
6.9.2. Resultados en Potencia Completa 91
6.9.3. Resultados en Potencia Parcial 96
6.10. Coeficiente de parcialidad 99
6.11. Temperaturas 101
6.12. Eficiencia 102

7. CONCLUSIONES 104
7.1. Resumen 104
7.2. Conclusiones 105
7.3. Trabajo Futuro 106
7.3.1. Comentarios 107

A. REPORTE DE CAMBIO EN EL SLEW RATE DE LOS MÓDULOS LMG342XEVM-04X 108

B. PUBLICACIONES GENERADAS 113

C. CÓDIGOS MATLAB FUNCTION 132

D. CÓDIGOS VERILOG **136**

E. CÓDIGOS WOLFRAM MATHEMATICA **141**

BIBLIOGRAFÍA **146**

Índice de figuras

1.1. Componentes principales de un tren de potencia. 2
1.2. Convertidor DC-DC con etapa intermedia AC y aislamiento galvánico. . 3
1.3. Convertidor Dual Active Bridge. 4
1.4. Formas de onda del voltaje y corriente del Dual Active Bridge. 4
1.5. T-type DAB asimétrico con doble pierna primaria. 5
1.6. Convertidor Dual Active Bridge asimétrico con una pierna primaria. . . 6
1.7. T-type DAB asimétrico de una pierna. 6
1.8. Convertidor T-type DAB simétrico. 7
1.9. Distintas configuraciones de convertidores de potencia donde: a) Convertidor de potencia completa, b) Convertidor de potencia parcial ISOP y c) Convertidor de potencia parcial IPOS. 8
1.10. Dual Active Bridge en configuración parcial IPOS. 9
1.11. Convertidor T-type DAB PPC IPOS. 10

2.1. Convertidor Dual Active Bridge para aplicaciones generales. 15
2.2. Comparación de pérdidas y eficiencia entre dispositivos GaN, SiC MOSFET y Si IGBT [33]. 16
2.3. Comparativa de conmutación dura versus conmutación suave. 17
2.4. Convertidor Dual Active Bridge con modulación de desfase de fase única (SPS). 18
2.5. Convertidor T-type DAB. 19
2.6. Estados de conducción del primer puente del T-type DAB. 20
2.7. Configuración generalizada de IPOS PPC. 22

3.1. Convertidor T-type. 25
3.2. Estados de conducción E0, E1 y EM1. 26
3.3. Comparación de las secuencias de lógica para el T-type (a) y T-type con ancho de pulso modificado (b). 27

3.4. Primer puente del Convertidor T-type DAB y su relación con el Convertidor T-type. 28
3.5. Estados de conducción del primario en diferentes configuraciones. . . . 30
3.6. Comparación de secuencias de lógica para los voltajes en el puente primario y secundario del convertidor T-type DAB. 32

4.1. Estados en el voltaje y corriente del primario con desfase menor a $T_s/8$. . 35
4.2. Estados en el voltaje y corriente del primario con desfase menor a $2T_s/8$. . 35
4.3. Modelado de las corrientes i_{pc1} y i_{pc2}. 37
4.4. Forma de la corriente i_{pc1}. 38
4.5. Modelado de las corriente i_{pc1} e i_{pc2} en su parte negativa. 38
4.6. Corrientes involucradas en el primario del convertidor. 39
4.7. Gráficos generados utilizando Wolfram Mathematica para las variables alternas del sistema, donde se tiene a diferentes sumas de armónicos, en cada gráfico se tiene a) voltaje en el primario , b) el voltaje en el secundario y c) la corriente del primario. 51

5.1. Esquemático del convertidor en PLECS. 55
5.2. Esquemático de Convertidor T-type para análisis térmicos. 55
5.3. Esquemático de la modulación en PLECS. 57
5.4. Modulación del sistema realizada en PLECS en 2 ciclos de conmutación, donde: a) Ciclo de trabajo, b) Señales triangulares asociadas, c) Señales lógicas generadas por la comparación de a) con b), y d) Voltaje en el primario. 57
5.5. Esquemático del control en PLECS. 58
5.6. Resultados del sistema en lazo abierto con diferentes parámetros: a) Voltaje de entrada y voltaje en cada capacitor de entrada, b) Voltaje de salida y voltaje en cada capacitor de salida, c) Voltaje en el primario y secundario del transformador, y d) Corriente en el primario. 59
5.7. Root locus y diagrama de Bode para el modelo de Fourier. 61
5.8. Root locus y diagrama de Bode para el modelo de Valor Medio. 61
5.9. Resultados del sistema en lazo cerrado comparando ambos modelos con diferentes cargas resistivas, donde: a) Voltaje de referencia y voltaje medido en la salida, b) Voltaje en los capacitores C_1, C_2, C_3 y C_4, c) Desfase angular entre los puentes, d) Potencia en la salida. 63
5.10. Resultados de simulación con variaciones en inductancia y capacitancia: a.1) Desfase y a.2) Corriente del primario con $L = 6{,}5\,\mu$H y $C = 1000\,\mu$F, b.1) Desfase y b.2) Corriente del primario con $L = 3\,\mu$H y $C = 1000\,\mu$F, c.1) Desfase y c.2) Corriente del primario con $L = 3\,\mu$H y $C = 1500\,\mu$F. . . . 65

5.11. Resultados del sistema en lazo cerrado comparando ambos modelos con diferentes cargas resistivas, donde: a) Voltaje de referencia y voltaje medido en la salida, b) Voltaje en los capacitores C_1, C_2, C_3 y C_4, c) Desfase angular entre los puentes, d) Potencia en la salida. 67
5.12. Análisis del coeficiente de parcialidad y validación de las potencias en modalidad parcial, donde: a) Coeficientes K_{bpV} y K_{bpI}, b) Potencias en la carga P_{out} medida, potencia procesada teórica P_{pcT}, potencia directa teórica P_{bpT}, potencia procesada medida P_{pcM} y potencia directa medida P_{bpM}. . 69
5.13. Análisis del coeficiente de parcialidad con diferentes inductancias de fuga, donde: a) Coeficientes K_{bpV} y K_{bpI}, y b) Potencias de salida P_{out}, potencia procesada teórica P_{pcT}, potencia directa teórica P_{bpT}, potencia procesada medida P_{pcM}, y potencia directa medida P_{bpM}. 71
5.14. Comparación de eficiencia en los modos FPC Y PPC para distintos niveles de voltaje de salida y potencia en la carga. 72

6.1. Vista general del set-up experimental: a) Interfaz HMI diseñada para el control y monitoreo, b) Osciloscopio para observación de variables en el lado alterno, c) Fuente de voltaje DC KEYSIGHT N8762A, d) Analizador de potencia Yokogawa WT3000E, e) Medidores de voltaje y corriente Taraz USM-3IV, f) Convertidor T-type DAB, g) Fuente de alimentación DC Agilent para las placas PCB, h) Plataforma de control MicroLabBox y i) Cargas resistivas y bornera para selección de resistencias. 75
6.2. Esquema eléctrico del módulo GaN LMG342XEVM-04. 76
6.3. Vista física del módulo GaN LMG342XEVM-04 empleado. 76
6.4. Esquemático elaborado para la PCB diseñada. 79
6.5. Vista de la PCB en diferentes configuraciones. 79
6.6. Transformador HIMAG modificado para facilidad de uso. 80
6.7. Imágenes del convertidor T-type DAB ensamblado, donde: a) Conexión con conector DP50 desde la salida IO de la MicroLabBox, b) Convertidor T-type DAB del primario, c) DC-link del primario, d) Transformador de alta frecuencia, e) Convertidor T-type DAB del secundario y f) DC-link del secundario. 81
6.8. Diagrama del control implementado en el procesador. 83
6.9. Subsecciones de la modulación implementada en la FPGA. 84
6.10. Señales primarias S_x y S_y generadas en la FPGA. (a) Señales S_x y S_y, (b) Generación de las señales S_1, S_4, (c) Generación de las señales S_8, S_5. . . 85
6.11. Generación de pulsos y aplicación de tiempos muertos en la FPGA. . . 86
6.12. Registros de salida para el control final del convertidor. 86
6.13. Interfaz HMI generada para la implementación del sistema. 87

6.14. Voltajes en cada capacitor: amarillo V_{C1}, verde V_{C2}, azul V_{C3} y rojo V_{C4}. . 88
6.15. Variables en el enlace AC: verde V_{Pri}, azul V_{Sec}, rojo I_{Pri}. 88
6.16. Resultados del sistema en lazo abierto a diferentes valores de desfase, donde: a) Voltaje de entrada y voltaje en cada capacitor de entrada, b) Voltaje de salida y voltaje en cada capacitor de salida, c) Voltaje en el primario y secundario del transformador y d) Corriente en el primario. 89
6.17. Resultados del sistema en lazo cerrado en potencia completa con carga $R = 150\,\Omega$. 92
6.18. Resultados del sistema en lazo cerrado con $R = 150\,\Omega$ y un aumento de voltaje de $150\,V$. 94
6.19. Resultados del sistema en lazo cerrado en potencia completa con $R = 100\,\Omega$ y un aumento de voltaje de $150\,V$. 95
6.20. Resultados del sistema en lazo cerrado en potencia parcial con carga $R = 150\,\Omega$. 97
6.21. Resultados del sistema en lazo cerrado en potencia parcial con carga $R = 100\,\Omega$. 98
6.22. Análisis del coeficiente de parcialidad y validación de potencias en modalidad parcial, donde en cada figura se tiene: a) Coeficientes K_{bpV} y K_{bpI}, b) Potencias en la carga P_{out} medida, potencia procesada teórica P_{pcT}, potencia directa teórica P_{bpT}, potencia procesada medida P_{pcM} y potencia directa medida P_{bpM}. 100
6.23. Comparativa de temperaturas en semiconductores donde: a) Temperaturas en modalidad de potencia completa y b) Temperaturas en modalidad de potencia parcial. 101
6.24. Imágenes capturadas con cámara térmica y fotografías reales: (a) Vista térmica del transformador, (b) Fotografía real del transformador, (c) Vista térmica de los semiconductores GaN, (d) Fotografía real de los semiconductores GaN. 102
6.25. Comparación de eficiencia en los modos de potencia completa y potencia parcial para distintos niveles de voltaje de salida (200 V y 250 V) y variación de potencia en la carga. 103

Índice de tablas

1.1. Estados de Conmutación del primer puente para el T-type DAB. . . . 10

2.1. Características de los dispositivos GaN, SiC MOSFET y Si IGBT [33]. . 16

3.1. Estados de conmutación y semiconductores bloqueando. 25
3.2. Estados de Conmutación para el primer puente del T-type DAB. . . . 28
3.3. Valores de Bloqueo y Estados de Conmutación. 29

4.1. Pendientes de la corriente $i_L(t)$ para cada intervalo del ciclo de conmutación con desfase menor a $T_s/8$. 36
4.2. Pendientes de la corriente $i_L(t)$ para cada intervalo del ciclo de conmutación con desfase mayor a $T_s/8$. 37
4.3. Pendientes de la corriente i_{pc1} para cada intervalo del ciclo de conmutación con desfase menor a $T_s/8$. 41
4.4. Pendientes de la corriente i_{pc1} para cada intervalo del ciclo de conmutación con desfase mayor a $T_s/8$. 41
4.5. Pendientes de la corriente i_{pc2} para cada intervalo del ciclo de conmutación con desfase menor a $T_s/8$. 41
4.6. Pendientes de la corriente i_{pc2} para cada intervalo del ciclo de conmutación con desfase mayor a $T_s/8$. 42

5.1. Parámetros y especificaciones del sistema. 56
5.2. Punto de operación seleccionado y parámetros importantes. 60
5.3. Parámetros de la planta para los modelos propuestos en simulación. . . 60
5.4. Controladores PI diseñados para los modelos propuestos. 62
5.5. Secuencia de variaciones de referencia en el voltaje de salida. 62
5.6. Potencia de salida en función del voltaje de salida y la resistencia de carga. 64
5.7. Secuencia de variaciones de referencia en el voltaje de salida. 66

6.1. Parámetros Operativos del Módulo LMG342XEVM-04. 77
6.2. Parámetros del transformador HIMAG 80708 tomados en cuenta. . . . 80
6.3. Parámetros y especificaciones del set up experimental. 82
6.4. Punto de operación y parámetros del controlador. 90
6.5. Parámetros de la planta y de los controladores PI en lazo cerrado. . . . 91
6.6. Promedio de temperaturas para FPC y PPC. 101

ABREVIACIONES

Mayúsculas

DC : direct current
AC : alternating current
EV : electric vehicle
DAB : dual active bridge
DAHB : dual active half bridge
FPC : full power converter
PPC : partial power converter
ISOP : input series output parallel
IPOS : input parallel output series
THD : total harmonic distortion
NPC : neutral-point-clamped
HFT : high frequency transformer
PWM : pulse width modulation
SPS : single phase-shift
PSM : phase-shift modulation
CHB : cascade H-bridge
PI : proportional-integral controller
RMS : root mean squared
PCB : printed circuit board
FPGA : field programmable gate array
HMI : human machine interface
MPC : model predictive control
DPS : dual phase-shift
TPS : triple phase-shift
DTC : dead time compensation

Capítulo 1

INTRODUCCIÓN

A medida que la sociedad avanza hacia una transición energética, la electrificación de los sistemas ha cobrado mayor relevancia, impulsada por la urgente necesidad de reducir las emisiones de gases de efecto invernadero [1], como se destaca en [2]. Además, en los últimos años se ha observado un aumento en las políticas dirigidas a alcanzar la descarbonización [3]. Entre las iniciativas más aceptadas y promovidas se encuentra el fomento del uso de vehículos eléctricos (EV), lo que plantea un desafío importante en cuanto al desarrollo de sistemas de conversión y almacenamiento de energía que no solo sean altamente eficientes, sino que también ofrezcan una elevada densidad energética.

En particular, el transporte de vehículos eléctricos de gran tonelaje exige la implementación de sistemas de almacenamiento de energía con una densidad y eficiencia elevadas, lo cual es crucial para lograr una electrificación completa en este sector [4]. Esto subraya la necesidad de tecnologías avanzadas que permitan la integración de soluciones energéticas robustas y eficaces.

En este capítulo, se presentará una descripción detallada de la composición de un nuevo convertidor propuesto para aplicaciones en vehículos eléctricos, pero no siendo exclusivo para esta aplicación. Además, se abordará el estado del arte en la materia, así como los principios necesarios para modelar, controlar y verificar el correcto funcionamiento del convertidor.

1.1. Tren de potencia

El término tren de potencia se refiere al conjunto de componentes encargados de generar, gestionar y entregar la potencia necesaria para mover un vehículo. Este conjunto incluye el motor, el convertidor de potencia y el sistema de control, entre otros componentes asociados. El tren de potencia es crucial debido a su capacidad para gestionar de manera eficiente la transferencia de energía entre la batería y el motor.

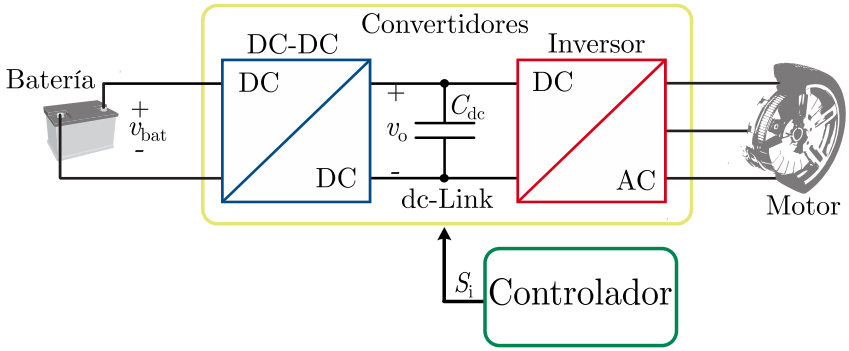


Figura 1.1: Componentes principales de un tren de potencia.

La eficiencia en las aplicaciones de vehículos eléctricos es fundamental, ya que tiene un impacto directo en el rendimiento general del vehículo, más específicamente en su autonomía. Un diseño eficiente del sistema puede aumentar significativamente la distancia que el vehículo puede recorrer con una carga completa.

Los componentes clave de un tren de potencia en un vehículo eléctrico incluyen el motor eléctrico, el convertidor de potencia, el sistema de control y, en algunos casos, la transmisión, como se observa en la Figura 1.1. El motor eléctrico convierte la energía almacenada en la batería en energía mecánica para propulsar el vehículo, mientras que el convertidor de potencia gestiona la conversión y el control de la energía entre la batería y el motor, asegurando una transferencia regulada de la energía. El sistema de control, por su parte, supervisa y optimiza la operación de estos componentes para asegurar el uso del tren de potencia [5].

En muchos vehículos eléctricos no se requiere una transmisión compleja debido a la naturaleza del motor eléctrico, que puede generar torque instantáneo. Algunos diseños de vehículos optan por incluir transmisiones para optimizar la entrega de potencia en aplicaciones de mayor potencia o cuando se busca mejorar la eficiencia en diversas condiciones de manejo [6].

Un tren de potencia bien diseñado proporciona una respuesta dinámica estable y un control preciso del motor, lo que se traduce en una conducción más fluida. Esto repercute en la eficiencia, la cual en los sistemas de tren de potencia desempeña un papel clave en la

reducción de la huella de carbono en el sector del transporte, impulsando la transición hacia vehículos más sostenibles con el medio ambiente.

Esta investigación se enfocará en el convertidor de potencia y en su control, por lo que el motor del tren de potencia puede entenderse como un sistema que demanda corriente en forma de carga y un voltaje determinado a la salida del convertidor, a partir de un voltaje de entrada establecido.

1.2. Convertidores DC-DC

Los convertidores de corriente continua (DC) a corriente continua, también conocidos como convertidores DC-DC, son dispositivos esenciales en la gestión de energía, ya que permiten regular un voltaje de salida controlado a partir de un voltaje de entrada no regulado. Estos equipos desempeñan un papel fundamental en sistemas electrónicos y eléctricos, especialmente en aplicaciones de electromovilidad, donde es necesario adaptar el voltaje de la batería a diferentes niveles para alimentar componentes específicos del vehículo. Esta versatilidad es clave para mejorar tanto la eficiencia como la densidad de potencia en los sistemas de propulsión [7].

Estos convertidores ofrecen actualmente características adicionales que los hacen especialmente adecuados para aplicaciones que requieren una gestión precisa de la energía, tales como aislamiento galvánico y capacidad de regeneración de energía [8].

Una de las familias de topologías actuales más destacadas incluye aquellas que integran una etapa intermedia de conversión AC, lo cual permite el aislamiento galvánico mediante el uso de transformadores de alta frecuencia (HFT). En la Figura 1.2 se ilustra un convertidor que emplea una etapa intermedia AC, con aislamiento galvánico proporcionado por dicho transformador.

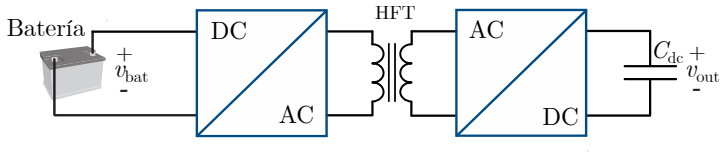


Figura 1.2: Convertidor DC-DC con etapa intermedia AC y aislamiento galvánico.

Una de las topologías más investigadas en este contexto es el convertidor de Puente Dual Activo o Dual Active Bridge (DAB), por sus siglas en ingles, que utiliza una etapa intermedia AC con aislamiento galvánico. Este convertidor ha ganado gran popularidad debido a su capacidad para mejorar la eficiencia y responder eficazmente a variaciones en la carga [9].

1.3. Convertidores basados en el DAB

El DAB es conocido por su alta eficiencia y capacidad para gestionar la transferencia bidireccional de energía. Este convertidor es especialmente adecuado para aplicaciones como almacenamiento de energía y vehículos eléctricos, donde la flexibilidad para manejar la energía en ambas direcciones es crucial. Actualmente existe la búsqueda de variaciones de este convertidor para obtener más beneficios.

1.3.1. Convertidor Dual Active Bridge

Este convertidor se compone de dos puentes H, uno operando como inversor y el otro como rectificador, conectados a través de un transformador de alta frecuencia en el lado AC. Esta configuración permite una transferencia de energía entre dos buses de corriente continua, con la capacidad de manejar potencia en ambas direcciones lo que le permite ser una opción ideal para los vehículos eléctricos [9].

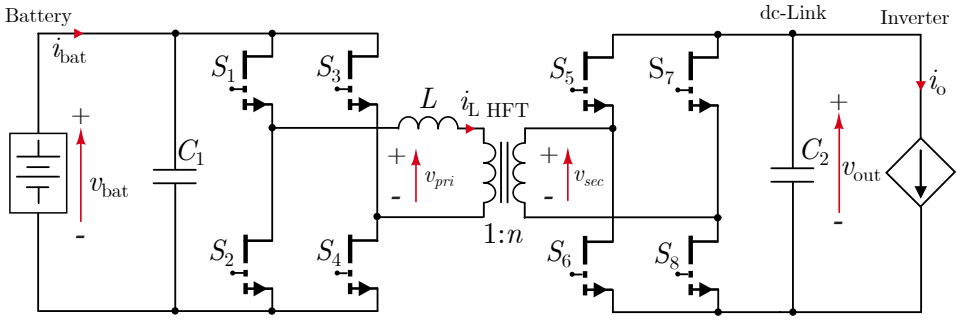


Figura 1.3: Convertidor Dual Active Bridge.

Cada pierna del puente H opera alternando los pulsos para evitar cortocircuitos, y la modulación está diseñada para garantizar esta alternancia. La salida AC del primer puente H observado en la Figura 1.3 puede tomar tres valores posibles: $+v_{bat}$, $-v_{bat}$ y 0 V, dependiendo de la configuración de los interruptores [10].

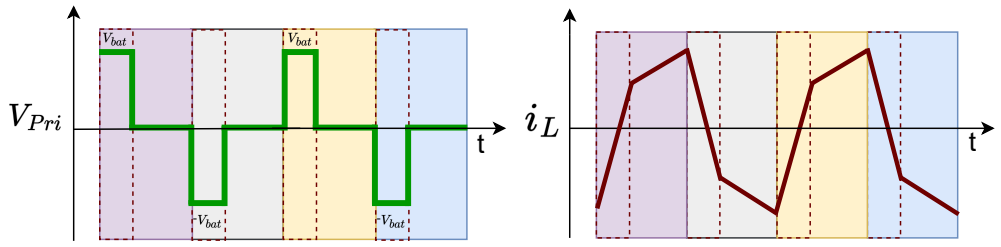


Figura 1.4: Formas de onda del voltaje y corriente del Dual Active Bridge.

El flujo de potencia se controla introduciendo un desfase entre los pulsos de los puentes H en ambos lados del transformador. Este desfase, combinado con las propiedades inductivas del transformador, genera una corriente alterna que permite el flujo de potencia hacia el lado secundario, donde se carga el capacitor del DC-Link y se genera el voltaje controlado en la salida.

Aunque este convertidor es ampliamente utilizado y eficiente, presenta ciertas limitaciones; una de las principales desventajas es el alto nivel de dv/dt, que puede generar estrés en los semiconductores debido a los cambios bruscos de voltaje entre estados, como se observa en la Figura 1.4, lo cual puede comprometer la durabilidad de los dispositivos y aumentar las pérdidas. Otra limitación está relacionada con la forma de la corriente, que tiende a ser triangular debido a los voltajes generados, lo que provoca pérdidas por distorsión armónica (THD).

Para mitigar estos problemas, una solución posible es utilizar versiones multinivel, ya que al aumentar los niveles de voltaje en las etapas de inversor y rectificador se puede reducir el dv/dt y mejorar la forma de la corriente, haciéndola más sinusoidal, lo cual disminuye las pérdidas armónicas y mejora la eficiencia general del sistema [11].

1.3.2. Convertidores T-type DAB asimétricos

Uno de los primeros acercamientos a los convertidores DAB multinivel es el T-type DAB no simétrico bidireccional, el cual se presenta en la Figura 1.5, en él se genera un mayor número de niveles de voltaje, pero solo en la parte del inversor. La inclusión de dos piernas bidireccionales en un solo lado del convertidor introduce modos de operación más complejos [12].

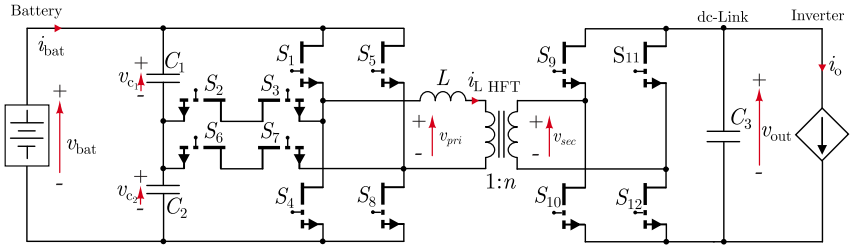


Figura 1.5: T-type DAB asimétrico con doble pierna primaria.

Debido a la asimetría generada, se debe ser cauteloso con los modos de operación, ya que pueden surgir estados inválidos que afectan el desempeño del convertidor. Los modos de operación están regidos por la potencia, el voltaje de entrada y el ciclo de trabajo de los semiconductores, por lo que la correcta modulación y control son críticos para mantener la estabilidad operativa.

Otra propuesta para resolver los problemas asociados a altos niveles de dv/dt es el T-type

DAB con una pierna primaria [13], el cual se muestra en la Figura 1.6. Este convertidor opera en dos modos: uno como un DAB convencional y otro en el que genera niveles de voltaje de $+v_{\text{bat}}/2$, $-v_{\text{bat}}/2$ y 0 V, también denominado como Medio Puente Dual Activo o Dual Active Half Bridge (DAHB), debido a que el voltaje máximo alterno es la mitad del valor del voltaje de entrada.

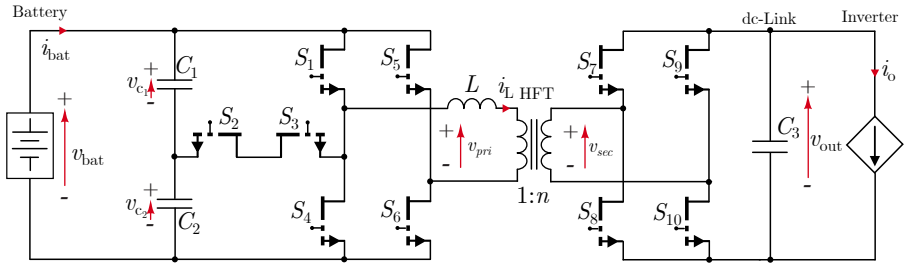


Figura 1.6: Convertidor Dual Active Bridge asimétrico con una pierna primaria.

Este diseño estresa menos a los semiconductores en el primario, mientras mantiene la funcionalidad de un DAB convencional. La modulación es similar, aunque se requieren ajustes para generar los estados intermedios de voltaje.

El T-type DAB asimétrico de una pierna, que se presenta en la Figura 1.7, es una de las primeras topologías multinivel en ambos lados del convertidor. Este convertidor permite alcanzar hasta cinco niveles de voltaje tanto en el primario como en el secundario del transformador, mejorando significativamente la forma de onda de la corriente y generando una corriente cuasi-sinusoidal [14].

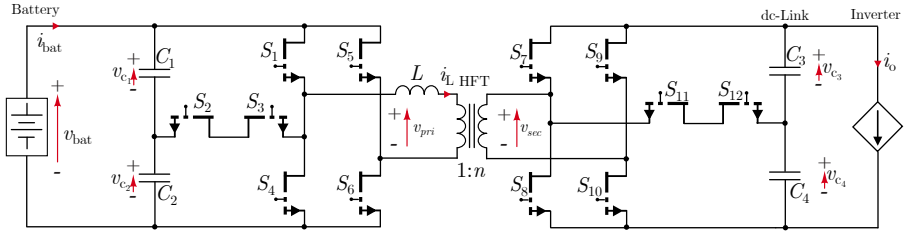


Figura 1.7: T-type DAB asimétrico de una pierna.

Aunque esta topología es capaz de generar los cinco niveles, la falta de simetría completa en los semiconductores del puente H puede causar desbalances entre los componentes, lo que requiere un modelo y una modulación adecuada para evitar problemas de balance de capacitores y distribución de carga.

1.3.3. Convertidor T-type DAB simétrico

Esta topología, observada en la Figura 1.8, se puede ver como la unificación de todos los convertidores ya mencionados, ya que es capaz de ser empleada como un DAB con voltajes $+v_{\text{bat}}$, $-v_{\text{bat}}$ y 0 V; un DAHB con voltajes $+v_{\text{bat}}/2$, $-v_{\text{bat}}/2$ y 0 V en el lado alterno; o puede ser empleada como un convertidor multinivel con voltajes $+v_{\text{bat}}$, $+v_{\text{bat}}/2$, 0 V, $-v_{\text{bat}}/2$ y $-v_{\text{bat}}$, logrando obtener cinco niveles de voltaje en la parte alterna. Esto permite una forma de onda cuasi-sinusoidal de la corriente en el enlace alterno [6].

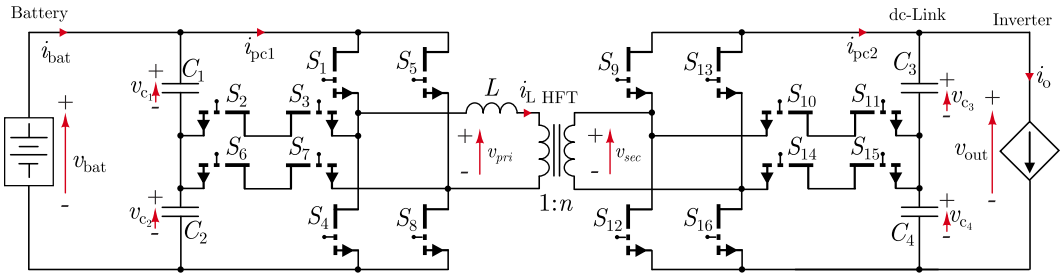


Figura 1.8: Convertidor T-type DAB simétrico.

La simetría adicional en la topología bidireccional de dos brazos mejora significativamente la distribución de la carga entre los semiconductores, lo que resulta en una operación más equilibrada. Esto es especialmente beneficioso en aplicaciones de alta potencia, donde la reducción de estrés en los componentes es crucial para la longevidad y confiabilidad del sistema. De ahora en adelante este convertidor sera nombrado en este trabajo como T-type DAB.

1.4. Convertidores Parciales

Los convertidores parciales, también conocidos como Partial Power Converters (PPC), son una clase de convertidores de potencia diseñados para aumentar la eficiencia energética al procesar únicamente una fracción de la potencia total. Esto contrasta con los convertidores de potencia completa o Full Power Converters (FPC), que manejan la totalidad de la potencia. La capacidad de los PPC para gestionar solo parte de la energía los convierte en una solución ideal para aplicaciones donde la eficiencia es prioritaria [15].

Al limitar la cantidad de potencia procesada, los convertidores parciales reducen las pérdidas asociadas a la conversión de energía, disminuyendo el estrés tanto eléctrico como térmico en los componentes; esto no solo prolonga la vida útil de los sistemas, sino que también permite diseños más compactos y con mayor densidad de potencia al requerir menos espacio para manejar la misma cantidad de energía en comparación con los convertidores de potencia completa [16].

En aplicaciones de convertidores DC-DC, la reducción de voltaje y corriente procesados

por los semiconductores ayuda a mejorar la fiabilidad del sistema y su rendimiento global, minimizando las exigencias sobre los componentes y maximizando la eficiencia operativa [17].

1.4.1. Tipos de Convertidores Parciales

Los convertidores parciales se pueden clasificar en dos configuraciones principales: ISOP (Input Series Output Parallel) e IPOS (Input Parallel Output Series), cada una con sus propias ventajas y aplicaciones específicas [18]. En la configuración ISOP, las entradas de los convertidores están conectadas en serie y las salidas en paralelo, por otro lado, en la configuración IPOS, las entradas están conectadas en paralelo y las salidas en serie, esto se refleja en la Figura 1.9.

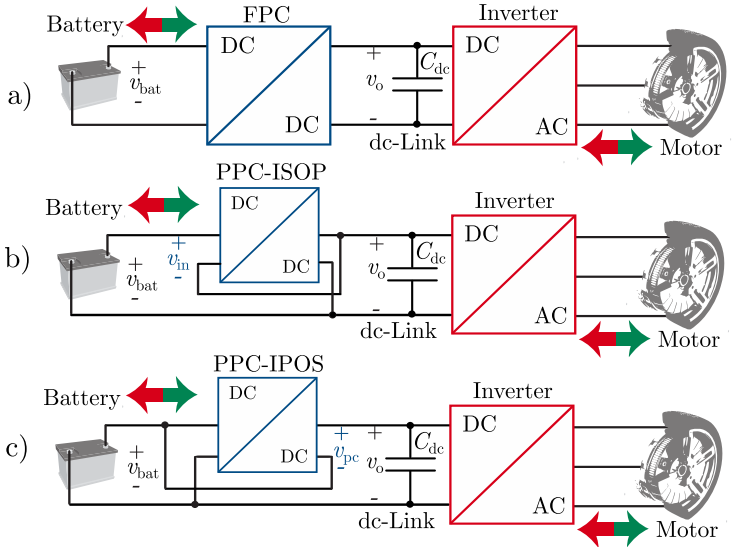


Figura 1.9: Distintas configuraciones de convertidores de potencia donde: a) Convertidor de potencia completa, b) Convertidor de potencia parcial ISOP y c) Convertidor de potencia parcial IPOS.

La configuración ISOP está diseñada para distribuir la corriente entre el convertidor y el flujo directo de potencia, lo que permite reducir la corriente manejada por el convertidor. Además, el voltaje de salida en esta configuración está limitado por el voltaje de entrada, lo que la hace adecuada principalmente para aplicaciones como reductores de voltaje [18, 19].

Por otro lado, la configuración IPOS distribuye el voltaje entre el convertidor y el flujo directo de potencia, lo que resulta beneficioso para aplicaciones que requieren un aumento del voltaje en el enlace DC [19, 20].

1.5. Convertidores DAB en Configuración Parcial

La adaptación de los convertidores DAB a configuraciones parciales ofrece una mejora importante en la eficiencia del sistema; esta configuración permite reducir tanto el voltaje como la corriente que deben manejar los componentes, lo que disminuye el estrés eléctrico y térmico en los semiconductores. Esto no solo mejora la eficiencia, sino que también permite utilizar componentes más compactos y menos costosos, beneficiando el diseño general del sistema [17]. A su vez, simplifica los requisitos de gestión térmica, dado que se genera menos calor, lo que reduce la necesidad de mecanismos complejos de refrigeración.

1.5.1. Convertidor DAB en Configuración Parcial

El convertidor DAB, conocido por su capacidad para la conversión bidireccional de energía, se beneficia considerablemente de la implementación en una configuración parcial. En particular, la modalidad IPOS permite elevar el voltaje en el enlace DC, optimizando la transferencia de energía en aplicaciones que demandan un manejo eficiente de la energía en ambas direcciones [21].

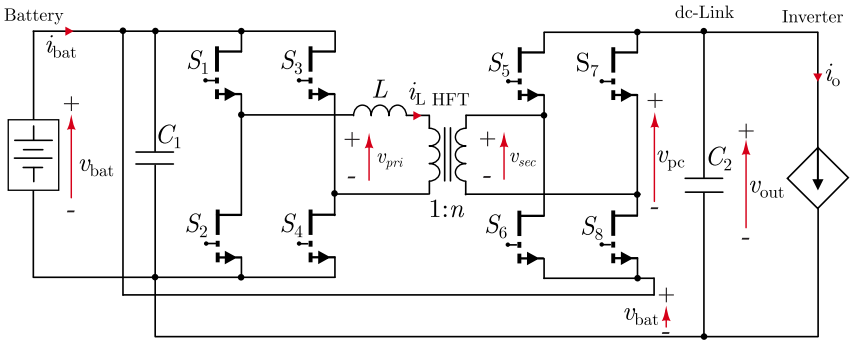


Figura 1.10: Dual Active Bridge en configuración parcial IPOS.

1.5.2. Convertidor T-type DAB PPC IPOS

El T-type DAB también puede ser implementado en una configuración parcial IPOS. Esta topología es particularmente eficiente en la distribución del estrés sobre los semiconductores. En modalidad PPC IPOS, este convertidor permite obtener un voltaje más alto en el enlace DC, además de generar una corriente cuasi-sinusoidal en el primario del transformador, lo que reduce las pérdidas por armónicos y mejora la eficiencia general del sistema [22].

El convertidor en configuración IPOS se podría emplear con el fin de manejar altas densidades de potencia con menores pérdidas y un menor estrés de voltaje sobre los semiconductores, lo que lo convierte en una opción preferente en aplicaciones exigentes en términos de eficiencia [6].

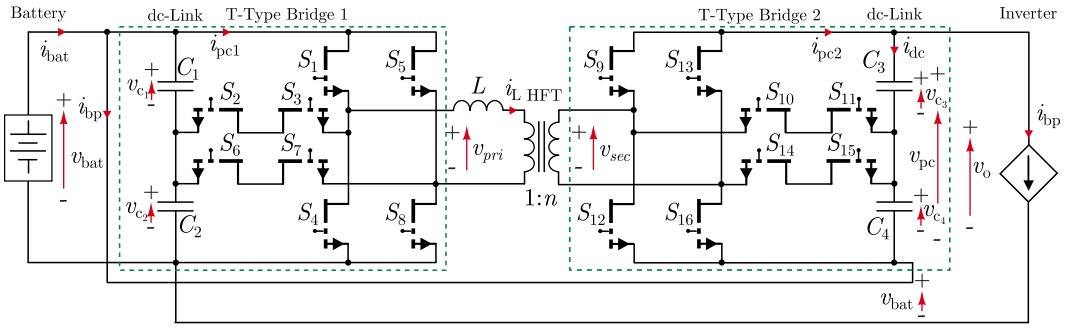


Figura 1.11: Convertidor T-type DAB PPC IPOS.

El enfoque principal de este trabajo se centrará en el análisis de este convertidor, comparando su implementación en configuraciones de potencia completa y potencia parcial, evaluando las diferencias en términos de eficiencia entre estos convertidores.

1.6. Modulación

Las técnicas de modulación empleadas en convertidores derivados del DAB presentan similitudes en la activación de semiconductores específicos para generar los niveles de voltaje necesarios tanto en el lado primario como en el lado secundario del transformador. Dada la cantidad de semiconductores involucrados, existen diversas configuraciones para obtener los cinco niveles de voltaje requeridos [23]. En la Tabla 1.1, se detallan los estados válidos de conmutación para el primer puente convertidor T-type DAB.

Tabla 1.1: Estados de Conmutación del primer puente para el T-type DAB.

S_1	S_4	S_2	S_3	S_5	S_8	S_6	S_7	v_{pri}	**Capacitor Seleccionado**
1	0	1	0	0	1	0	1	v_{bat}	C_1, C_2
1	0	1	0	0	0	1	1	$v_{bat}/2$	C_1
0	0	1	1	0	1	0	1	$v_{bat}/2$	C_2
0	0	1	1	0	0	1	1	0	-
0	0	1	1	1	0	1	0	$-v_{bat}/2$	C_1
0	1	0	1	0	0	1	1	$-v_{bat}/2$	C_2
0	1	0	1	1	0	1	0	$-v_{bat}$	C_1, C_2

La modulación propuesta para el convertidor T-type se basa en técnicas extendidas de modulación utilizadas en convertidores T-type. En este caso, se considera cada par de semi-piernas bidireccionales como una pierna T-type, el objetivo principal de esta técnica es activar un solo semiconductor a la vez, lo que suaviza las transiciones entre los niveles

de voltaje del convertidor y reduce las pérdidas de conmutación, minimizando el número de interruptores que cambian de estado simultáneamente [23].

En este trabajo, se empleará una modulación basada en Single Phase Shift (desfase en una fase), en la que los pares homólogos entre el primer y segundo puente del convertidor tienen un desfase controlado. Esta variación en el desfase permite regular el flujo de potencia entre los lados del convertidor, por lo que el desfase será tratado como la variable de entrada del convertidor [24].

1.7. Modelo y Control del Convertidor

El modelado y control de este tipo de convertidor presentan desafíos mayores en comparación con el DAB, debido a la complejidad añadida por su topología multinivel. Las formas de onda generadas presentan un carácter no lineal, y la implementación de múltiples niveles de voltaje aumenta la dificultad para obtener un modelo preciso [25]. Esto se debe a la interacción entre las diferentes etapas de conversión y las variaciones de corriente que se producen en el sistema.

La variable principal a controlar es el voltaje de salida, dado que estamos trabajando con un convertidor DC-DC [26]. Modelar la corriente en el lado primario del transformador es esencial, ya que a partir de esta se puede establecer una relación directa entre el desfase aplicado y el voltaje de salida, permitiendo un control efectivo del convertidor [25].

Para desarrollar el modelo, primero se analizará el comportamiento de la corriente en el enlace AC y se caracterizará su dinámica. Una vez caracterizada la corriente, se podrá determinar la corriente que fluye hacia la salida del sistema, lo que permitirá calcular el voltaje de salida final.

Existen dos técnicas principales para relacionar la corriente del primario con el desfase aplicado: la técnica basada en valor medio y la técnica basada en armónicos.

1.7.1. Técnica Basada en Valor Medio

La técnica basada en el valor medio simplifica el modelado al utilizar los valores promedio de las variables de interés durante un ciclo de conmutación. Esto permite obtener un modelo más sencillo y manejable, facilitando el diseño del controlador. Aunque es menos precisa que otras técnicas, ofrece una aproximación adecuada para aplicaciones donde la linealidad del sistema es suficiente [26].

1.7.2. Técnica Basada en Armónicos

La técnica basada en armónicos, comúnmente utilizada en DAB [27], considera los efectos de los armónicos en la corriente del primario. Este enfoque es más detallado y permite modelar con mayor precisión los comportamientos no lineales del sistema, proporcionando

una aproximación más precisa del modelo real. Al incorporar los armónicos, se espera tener una mejor representación de las distorsiones presentes en las formas de onda.

1.8. Hipótesis

Se presenta la hipótesis de que es posible generar una topología de potencia parcial a partir de una topología Doble puente activo tipo T (T-type DAB) con configuración de potencia parcial que tenga una mejor eficiencia que su configuración en potencia completa. Además, es viable derivar un modelo lineal para controlar el voltaje de salida del convertidor T-type DAB en su forma FPC y PPC-IPOS.

1.9. Objetivo General, Específicos, Alcances y Limitaciones

El objetivo central de este trabajo es desarrollar un estudio completo el convertidor T-type DAB tanto en su configuración de potencia completa como de potencia parcial. Los objetivos específicos son:

- Estudiar el estado del arte en el modelado y control de convertidores DAB y T-type DAB, reconociendo las metodologías previamente adoptadas.
- Realizar una modulación adecuada para el sistema.
- Establecer esquemas de control variados para el T-type DAB y compararlos entre ellos.
- Simular el comportamiento del convertidor, evaluando los esquemas de control diseñados y su respuesta bajo variadas condiciones operativas en sus 2 formas de operación.
- Corroborar la efectividad del modelo desarrollado mediante pruebas experimentales, garantizando el desempeño del convertidor en distintas situaciones de operación.

1.10. Alcances y limitaciones

El objetivo es la validación experimental y la comparativa directa entre la topología en su versión de potencia completa y de potencia parcial. Todos los pasos intermedios desde la generación de modulación y del modelo del sistema deben ser validados. Al tratarse de una topología novedosa se tendrá en cuenta que todo avance y validación sera una especie de prueba de concepto del sistema, por lo que se puede tener las siguiente salvedades para el sistema:

Potencia empleada Dado que se empleará semiconductores los cuales deben probarse y adecuarse al sistema, se limitó la potencia a usar para con esto no dañar el equipo y con eso usarse a futuro.

Eficiencias Generales elevadas Debido al uso de distintos componentes no adecuados entre si en sus rangos operativos nominales. No se tendría un óptimo de eficiencia global, así que esto podría adecuarse con mejor precisión en un futuro.

Modulación empleada La modulación empleada esta basada en la del inversor T-type y esta presenta un carácter de conmutación dura, siendo esto no tan óptimo en el apartado de eficiencia. Así también el ancho de los estados no fue calculado de manera rigurosa, si no que solo fue hecha para ser implementada manera simple. Esto último es posible variar sin problemas, pero el cálculo asociado debe ser revisado a futuro.

Frecuencia utilizada Se empleará el semiconductor GaN llegando a 100Khz de frecuencia en el lado alterno, también es posible variar la frecuencia. Aunque el objetivo centrar de este trabajo es la posibilidad de tener una elevada frecuencia de conmutación empleada.

1.11. Resumen de los Capítulos

Este documento esta dividido en 7 capítulos, el **Capítulo 1** entrega la introducción al tema de investigación. Este contiene a su vez una revisión del estado del arte, establece de forma resumida el contenido que sera abordado en esta investigación. En el **Capítulo 2** se muestra el como se llego finalmente al convertidor propuesto como también las formas operativas de este. Luego en **Capítulo 3** se da a conocer el tipo de modulación empleada, detallando el porque de esta elección. En el **Capítulo 4** se presenta 2 formas diferentes para generar un modelo lineal del convertidor. Con lo anterior se puede desarrollar una simulación del sistema el cual esta presentación en el **Capítulo 5**. Con la simulación comprobada se procede a realizar el desarrollo experimental del convertidor, todo esto se detalla con precisión en el **Capítulo 6**. Finalmente en el **Capítulo 7**, se redacta las conclusiones y los comentarios de esta investigación. El **Apéndice A** se presenta el porque de la variación del tiempo de encendido de los semiconductores GaN. En el **Apéndice B** recopila las diferentes publicaciones y proyectos relacionados con el trabajo realizado. Finalmente en los **Apéndices C, D** y **E** se entregan los códigos asociados a Matlab, Verilog y Wolfram Mathematica respectivamente, usados en diferentes partes del trabajo.

Capítulo 2

CONVERTIDOR DAB MULTINIVEL PPC

La conversión de potencia es fundamental en sistemas eléctricos modernos, especialmente en trenes de potencia, donde la eficiencia y el control preciso de las variables del sistema son esenciales. En aplicaciones como vehículos eléctricos y transmisión de energía, los convertidores DC-DC desempeñan un rol crucial al adaptar los niveles de voltaje entre las distintas etapas del sistema [28].

Uno de los principales desafíos en la conversión de potencia, particularmente en la gestión de formas de onda alternas, es la distorsión armónica total. Esta distorsión refleja las desviaciones de la onda respecto a una forma sinusoidal ideal, lo que disminuye la eficiencia del sistema [29].

Por otro lado, el convertidor DAB ha demostrado ser una solución eficiente y versátil en la conversión DC-DC para trenes de potencia y aplicaciones industriales, gracias a su capacidad de manejar grandes flujos de energía y su flexibilidad en un amplio rango de voltajes. La integración de nuevos semiconductores como el Silicio de Carburo (SiC) y el Nitruro de Galio (GaN) ha mejorado su eficiencia y su operación a frecuencias más altas [30].

Este capítulo explora los fundamentos que llevan a la idea del convertidor T-type DAB, partiendo de sus bases en la topología DAB. Se analizan las configuraciones que permiten alcanzar niveles de voltaje adicionales, lo que reduce la distorsión armónica total. Finalmente, se aborda su implementación en modo de potencia parcial, lo que contribuye a mejorar la eficiencia general del sistema.

2.1. Dual Active Bridge

El DAB revisado hasta ahora se basa su construcción en dos puentes H, uno en el lado primario y otro en el lado secundario de un transformador de alta frecuencia.

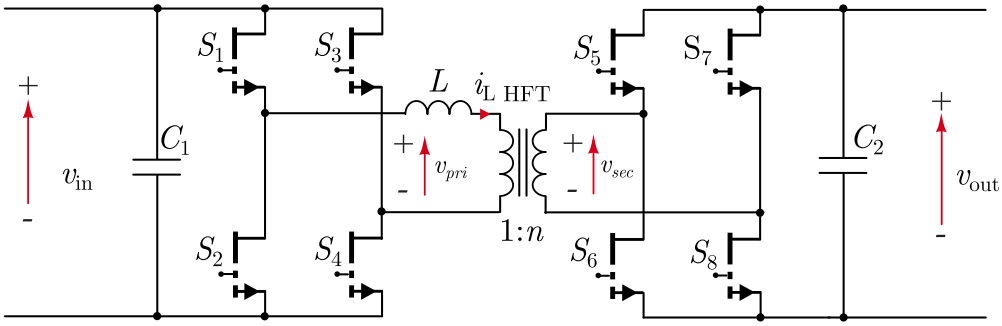


Figura 2.1: Convertidor Dual Active Bridge para aplicaciones generales.

Una de las principales ventajas del DAB es su capacidad bidireccional, lo que le permite transferir energía en ambas direcciones, siendo ideal para sistemas que requieren regeneración, como los sistemas de frenado regenerativo en vehículos eléctricos y aplicaciones de microredes. Además, su flexibilidad lo hace adecuado para integrarse con tecnologías de almacenamiento emergentes, como supercapacitores y baterías de alta capacidad [31].

Desde su introducción en la década de 1990, los convertidores DAB han evolucionado significativamente, impulsada por los avances en semiconductores y en técnicas de control y modulación. En sus primeras implementaciones, el DAB utilizaba dispositivos IGBT, los cuales, aunque proporcionaban una eficiencia razonable, presentaban altas pérdidas de conmutación y operaban a frecuencias relativamente bajas.

Con la integración de semiconductores avanzados como el carburo de silicio y el nitruro de galio, el rendimiento del DAB ha mejorado significativamente. Los dispositivos SiC permiten alcanzar frecuencias de conmutación más altas, lo que reduce tanto las pérdidas como el tamaño de los componentes pasivos, como inductores y transformadores. Por otro lado, los semiconductores GaN, gracias a su baja resistencia de conducción y alta eficiencia a frecuencias elevadas, han permitido el desarrollo de convertidores más compactos y eficientes. Esto no solo optimiza el uso del espacio y el peso en aplicaciones críticas, sino que también reduce los requisitos de los sistemas de refrigeración, logrando una mayor densidad de potencia [32, 33].

La Figura 2.2 y la Tabla 2.1 comparan las tecnologías SiC, GaN y los dispositivos tradicionales Si IGBT, resaltando sus características y eficiencia en la conversión de potencia.

Los dispositivos GaN destacan por su baja resistencia de conducción y pérdidas reducidas en conmutación, haciéndolos ideales para aplicaciones que requieren alta eficiencia a

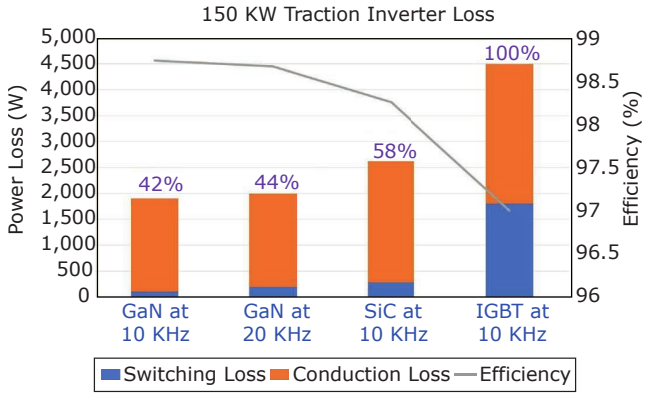


Figura 2.2: Comparación de pérdidas y eficiencia entre dispositivos GaN, SiC MOSFET y Si IGBT [33].

Tabla 2.1: Características de los dispositivos GaN, SiC MOSFET y Si IGBT [33].

Característica	**Transistor GaN**	**MOSFET SiC**	**IGBT Si**
Voltaje (V)	650	650	750
Corriente $I_{d\max}, T_j = 25°\text{C}$ (A)	150	100	150
$R_{ds(on)}$ @ $T = 125°\text{C}$ (mΩ)	20	26	N/A
E_{on} (μJ)	220	374	2000
E_{off} (μJ)	48	389	608
Q_{rr} (nC)	0	370	1500
Dispositivos en paralelo	6	6	6

frecuencias elevadas. Por otro lado, los MOSFET de SiC tienen una mayor tolerancia a altos voltajes y mejor capacidad de manejo térmico en comparación con los IGBT tradicionales de silicio, lo que los hace adecuados para aplicaciones de alta potencia. Sin embargo, los IGBT siguen siendo preferidos en situaciones que no demandan altas frecuencias de conmutación debido a su robustez y menor costo [33].

Los semiconductores GaN, con su rápido tiempo de encendido y baja resistencia de activación, minimizan las pérdidas por conmutación y conducción. Su capacidad para operar a frecuencias elevadas permite reducir el tamaño de los componentes magnéticos y pasivos, mejorando la densidad de potencia, lo que es esencial en aplicaciones con restricciones de espacio [32].

Gracias a estos avances, los dispositivos GaN han alcanzado eficiencias superiores al 99 % en aplicaciones críticas, como sistemas de carga para vehículos eléctricos y convertidores de alta potencia [34]. Además, su capacidad para operar a mayores temperaturas y frecuencias

contribuye a reducir el tamaño y peso de los sistemas de conversión, optimizando la densidad de potencia en aplicaciones móviles y de almacenamiento de energía [32].

Si bien los avances en tecnología SiC también han mejorado la eficiencia y rendimiento de convertidores como el DAB, tanto GaN como SiC presentan desafíos, especialmente en cuanto a diseño térmico y control. Operar a frecuencias más altas incrementa la demanda en la gestión térmica para asegurar la vida útil de los dispositivos. Además, los controladores deben adaptarse a las rápidas propiedades de conmutación de estos semiconductores, lo que requiere técnicas avanzadas de control para mantener un rendimiento óptimo.

2.1.1. Modos de Operación y Modulación

Los DAB pueden operar en diferentes modos de conmutación, lo que les otorga gran flexibilidad en términos de control y optimización. Los modos más comunes incluyen el modo de conmutación dura (Hard Switching) y el modo de conmutación suave (Soft Switching). En el modo de conmutación suave, las pérdidas de conmutación se reducen considerablemente al sincronizar los ciclos de encendido y apagado de los interruptores con los momentos en que tanto el voltaje como la corriente son cercanos a cero [35]. Esto incrementa la eficiencia del convertidor, como se muestra en la Figura 2.3.

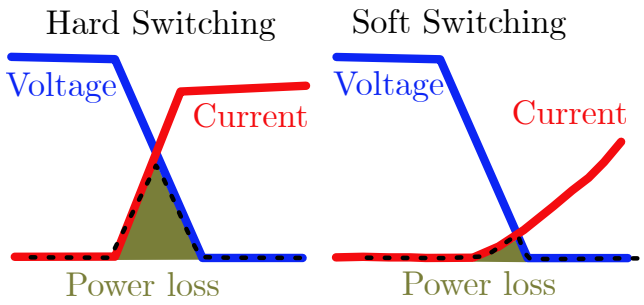


Figura 2.3: Comparativa de conmutación dura versus conmutación suave.

En cuanto a las topologías, existe una amplia variedad, tales como los convertidores con transformador aislado, los de tres niveles y las versiones multinivel mencionadas en el Capítulo 1. Cada topología presenta ventajas específicas, dependiendo de los requerimientos de la aplicación. Los convertidores multinivel, por ejemplo, son ideales en situaciones donde se busca minimizar la distorsión armónica y mejorar la calidad de la forma de onda de salida.

Los convertidores pueden emplear diferentes técnicas de modulación, como la modulación por ancho de pulso (PWM) y la modulación por desfase de fase o Phase-Shift Modulation (PSM). La PSM en sus versiones de SPS como las mas complejas son excelentes para ajustar el flujo de potencia entre el lado primario y el lado secundario del transformador mediante el control del o de los desfases entre los puentes H.

El diseño de estos convertidores plantea diversos desafíos técnicos. Uno de los principales

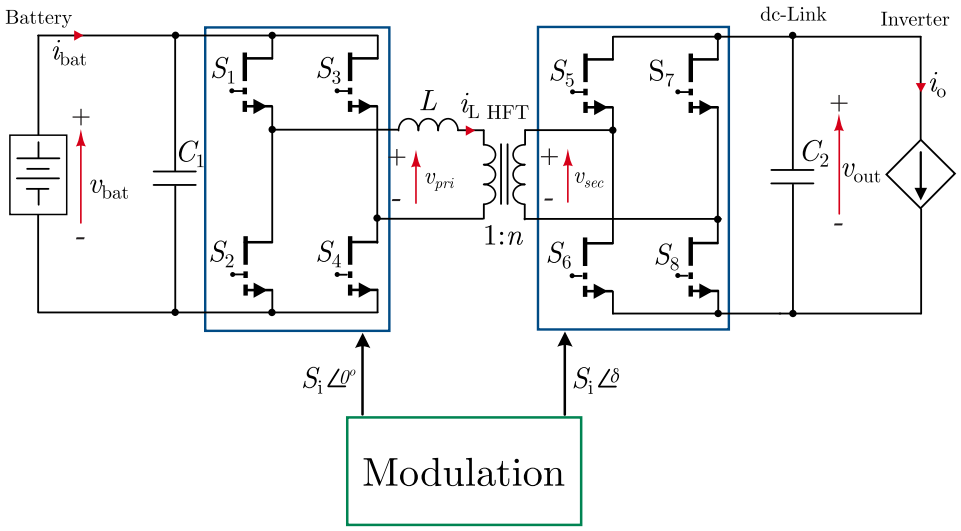


Figura 2.4: Convertidor Dual Active Bridge con modulación de desfase de fase única (SPS).

retos es la gestión de las pérdidas de conmutación y conducción en los interruptores, especialmente cuando el convertidor opera a altas frecuencias. Aunque los dispositivos basados en GaN y SiC han permitido una reducción significativa de estas pérdidas, sigue siendo fundamental implementar estrategias de control avanzadas que optimicen los puntos de conmutación y minimicen la generación de calor.

Otro desafío es la correcta selección y diseño de los componentes pasivos, como los transformadores de alta frecuencia y los inductores. Estos componentes deben estar diseñados para minimizar las pérdidas por histéresis y corrientes parásitas. La gestión térmica continúa siendo un aspecto crucial en aplicaciones de alta densidad de potencia, es imprescindible contar con soluciones de disipación de calor eficientes para asegurar la fiabilidad y el rendimiento del sistema.

2.2. Convertidor T-type DAB

Existen varias topologías multinivel que han sido adoptadas y mejoradas para diferentes aplicaciones de conversión de potencia. Entre las más comunes se encuentran el convertidor en cascada de puentes H (CHB), el convertidor de punto neutro anclado (NPC) y el convertidor T-type DAB, que es una de las configuraciones más eficientes en la reducción de la distorsión armónica y el manejo de grandes voltajes [36].

La topología T-type DAB se basa en dos puentes H (uno en el lado primario y otro en el secundario), pero añade un conjunto adicional de interruptores en una de las piernas de cada puente para generar niveles intermedios de voltaje como se observa en la Figura 2.5. Esto permite obtener cinco niveles distintos de voltaje en el lado primario del

transformador reduciendo el dv/dt o estrés de voltaje sobre los interruptores [37]. A diferencia de los convertidores de dos o tres niveles, que producen formas de onda triangulares en la corriente alterna con alta distorsión armónica, el T-type DAB genera una corriente que se aproxima más a una sinusoide, reduciendo significativamente la distorsión armónica total. Esto también minimiza la necesidad de grandes filtros pasivos y mejora la calidad general de la energía suministrada.

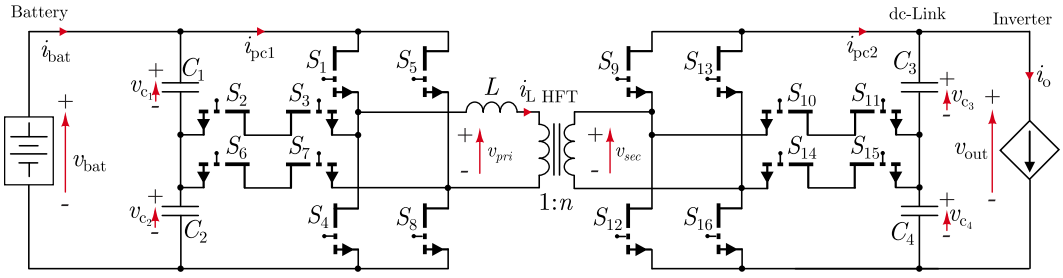


Figura 2.5: Convertidor T-type DAB.

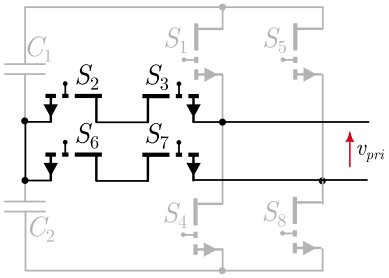
2.2.1. Estados de Conmutación

El Convertidor T-type DAB opera a través de diferentes estados de conmutación, los cuales permiten generar cinco niveles de voltaje en el lado primario del transformador. Estos niveles se obtienen a partir de los pulsos de disparo de los interruptores en los en el convertidor.

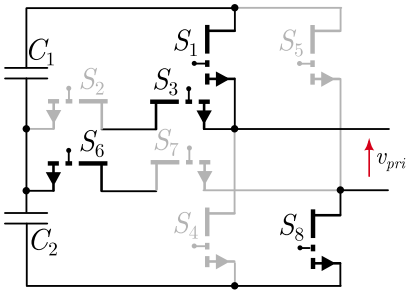
Como se observa en la Figura 2.6a, el estado $v_{pri} = 0$ corresponde a la configuración en la que no se genera diferencia de voltaje en el primario del transformador. En contraste, los estados donde v_{pri} alcanza su nivel máximo y mínimo, $v_{pri} = v_{bat}$ y $v_{pri} = -v_{bat}$, se ilustran en las Figuras 2.6b y 2.6c, respectivamente.

Para los niveles intermedios, como $v_{pri} = v_{bat}/2$ y $v_{pri} = -v_{bat}/2$, es posible obtener estos niveles de dos formas diferentes, dependiendo del capacitor seleccionado. Si se busca alcanzar $v_{pri} = v_{bat}/2$, se puede utilizar el voltaje en el capacitor C_1, como se muestra en la Figura 2.6d, o alternativamente, emplear el capacitor C_2, lo que se representa en la Figura 2.6e. De manera similar, para generar $v_{pri} = -v_{bat}/2$, se puede utilizar C_1, tal como se observa en la Figura 2.6f, o seleccionar C_2, como se ilustra en la Figura 2.6g.

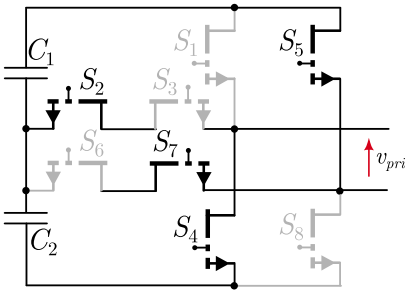
Al observa en los estados presentados, la activación de los semiconductores sigue una lógica similar a la de un T-type. Esta similitud será explicada en mayor detalle en el Capítulo 3, donde se aborda la modulación utilizada en esta topología.



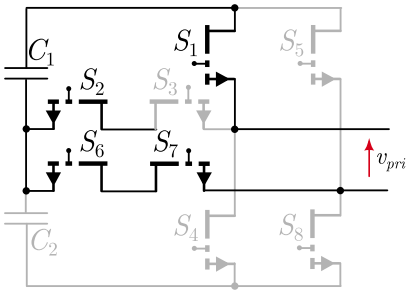
(a) $v_{pri} = 0$ V.



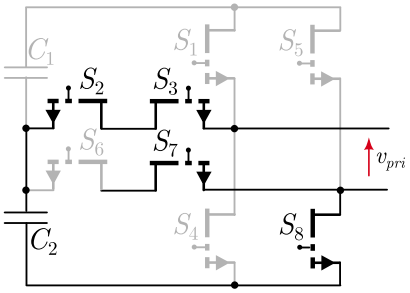
(b) $v_{pri} = v_{bat}$.



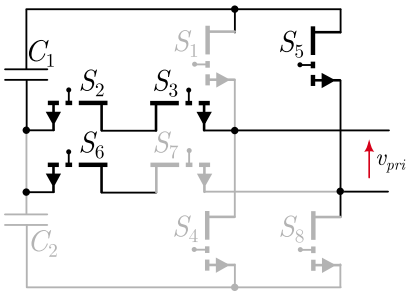
(c) $v_{pri} = -v_{bat}$.



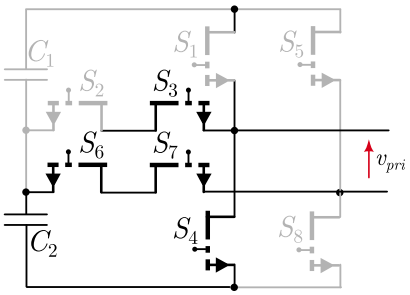
(d) $v_{pri} = v_{bat}/2$ usando C_1.



(e) $v_{pri} = v_{bat}/2$ usando C_2.



(f) $v_{pri} = -v_{bat}/2$ usando C_1.



(g) $v_{pri} = -v_{bat}/2$ usando C_2.

Figura 2.6: Estados de conducción del primer puente del T-type DAB.

2.2.2. Ecuaciones que modelan el sistema

La topología propuesta se rige por una serie de ecuaciones fundamentales. Observando la Figura 2.5 y aplicando las leyes de mallas y nodos del sistema, se obtienen las siguientes relaciones:

$$v_{bat} = v_{c1} + v_{c2} \tag{2.1}$$

$$L \cdot \frac{di_L}{dt} = v_{pri} - \frac{v_{sec}}{n} \tag{2.2}$$

$$C_{\mathrm{dc}} \cdot \frac{dv_{\mathrm{o}}}{dt} = i_{pc2} - i_o \tag{2.3}$$

$$v_{out} = v_{c3} + v_{c4} \tag{2.4}$$

En este contexto, C_{dc} corresponde a la capacitancia aparente resultante de tener los capacitores C_3 y C_4 conectados en serie [38]. Por lo tanto, la relación entre estas capacitancias se define como:

$$\frac{1}{C_{\mathrm{dc}}} = \frac{1}{C_3} + \frac{1}{C_4} \tag{2.5}$$

La clave para obtener un modelo de este sistema radica en establecer relaciones adecuadas entre las diferentes variables involucradas, para ello es necesario emplear ecuaciones adicionales que describan las variables intermedias. Esto se abordará con mayor detalle en el Capítulo 4.

2.2.3. Convertidor T-type DAB IPOS PPC

El convertidor T-type DAB en configuración PPC se propone debido a dos características clave que pueden aprovecharse en conjunto. En primer lugar, la topología permite reducir la distorsión armónica en el lado alterno. En segundo lugar, operar en potencia parcial permite un aumento en la eficiencia al procesar solo una fracción de la potencia total a través del convertidor. Cabe destacar que la técnica de modulación utilizada es la misma que se emplea en el modo de potencia completa.

En cuanto a las ecuaciones que rigen el sistema, estas no presentan variaciones significativas. Sin embargo, se realizan ajustes en la nomenclatura para mantener la coherencia con los esquemas de los convertidores IPOS PPC. En este contexto, la corriente de salida i_o se renombra como i_{bp} esto se puede observar en la Figura 2.7.

Se tiene que la corriente de entrada al convertidor no es la corriente directamente proveniente batería, lo que implica una reducción en la corriente de entrada el sistema. El voltaje de salida se define como la suma del voltaje de entrada y el generado por el

convertidor. Estos ajustes reflejan el fraccionamiento de la potencia en términos de voltajes y corrientes.

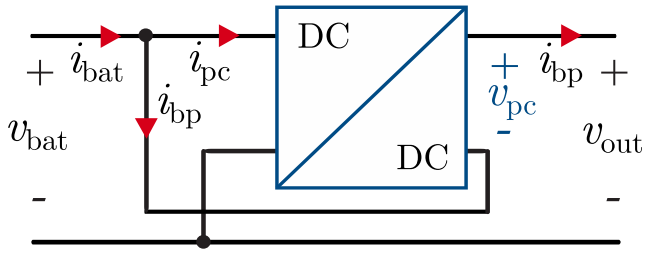


Figura 2.7: Configuración generalizada de IPOS PPC.

En la Figura 2.7 se presenta una generalización del convertidor IPOS PPC, donde v_{bat} representa el voltaje de entrada, i_{bat} la corriente de entrada, i_{pc} la corriente procesada por el convertidor, i_{bp} la corriente parcial, v_{pc} el voltaje a la salida del convertidor, y v_{out} el voltaje de salida total del sistema. De este modo, el sistema de ecuaciones se define como:

$$v_{out} = v_{bat} + v_{pc} \tag{2.6}$$

De forma análoga, la corriente de la batería (i_{bat}) es la suma de la corriente que fluye a través del bypass (i_{bp}) y la corriente procesada por el convertidor (i_{pc}):

$$i_{bat} = i_{bp} + i_{pc} \tag{2.7}$$

Con tal de encontrar un coeficiente que nos entregue la información de cuanta potencia procesa el convertidor y cuanta es la que fluye directamente se tiene que al asumir un sistema ideal sin pérdidas, se puede establecer la relación de potencia de entrada-salida del convertidor como:

$$\underbrace{v_{bat} \cdot i_{pc}}_{P_{pcin}} = \underbrace{v_{pc} \cdot i_{bp}}_{P_{pcout}} \tag{2.8}$$

Esta última ecuación nos ayuda a definir la relación entre los voltajes y corrientes en el sistema mediante el coeficiente de parcialidad k_{bp}, dado por:

$$k_{bp} = \underbrace{\frac{v_{bat}}{v_{pc}}}_{K_{bpV}} = \underbrace{\frac{i_{bp}}{i_{pc}}}_{K_{bpI}} \tag{2.9}$$

Inicialmente, la relación de potencias en el sistema puede expresarse como:

$$P_{out} = P_{pc} + P_{bp} \tag{2.10}$$

P_{out} corresponde a la potencia total entregada a la carga, P_{pc} es la potencia que es procesada por el convertidor, y P_{bp} representa la potencia que fluye directamente desde la

batería. Se puede observar que al multiplicar la potencia procesada por el convertidor por k_{bp}, se obtiene la potencia que fluye directamente desde la batería:

$$k_{bpV} \cdot P_{pc} = \frac{v_{bat}}{v_{pc}} \cdot (\underbrace{v_{pc} \cdot i_{bp}}_{P_{pcout}}) = P_{bp} \tag{2.11}$$

De forma análoga, esta relación también puede expresarse en términos de corriente:

$$k_{bpI} \cdot P_{pc} = \frac{i_{bp}}{i_{pc}} \cdot (\underbrace{v_{bat} \cdot i_{pc}}_{P_{pcin}}) = P_{bp} \tag{2.12}$$

Por lo tanto, la potencia total del sistema puede reescribirse como:

$$P_{out} = P_{pc} + P_{bp} = P_{pc} + k_{bp} \cdot P_{pc} \tag{2.13}$$

A partir de esta ecuación, se pueden determinar los valores de la potencia procesada por el convertidor y la potencia directa de la siguiente manera:

$$P_{pc} = \frac{P_{out}}{1 + k_{bp}} \tag{2.14}$$

$$P_{bp} = \frac{k_{bp} \cdot P_{out}}{1 + k_{bp}} \tag{2.15}$$

Capítulo 3

MODULACIÓN

La modulación es fundamental para controlar el funcionamiento de los convertidores de potencia, permitiendo gestionar la conmutación de los interruptores. En este capítulo, se empleará una lógica de disparo basada en las estrategias utilizadas en los convertidores T-type, adaptando dichas técnicas para la topología específica del sistema.

Para gestionar el flujo de potencia en el convertidor, se utilizará la modulación SPS. Esta técnica ha sido seleccionada por su simplicidad y eficacia, lo que la hace adecuada para la etapa inicial de implementación. La modulación SPS consiste en ajustar el desfase entre los puentes del convertidor, lo que controla la transferencia de energía entre el lado primario y secundario del transformador. Es importante destacar que la generación de la modulación no solo define la operación del convertidor, sino que también determina su modelo.

3.1. Modulación del convertidor T-type

El convertidor T-type es una topología utilizada en aplicaciones de alta potencia debido a su capacidad para manejar altos voltajes y corrientes de manera robusta. A diferencia de otros convertidores que utilizan técnicas tradicionales de modulación, en el convertidor T-type no se emplea una modulación en el sentido estricto. En su lugar, se utiliza una lógica de disparo para los interruptores.

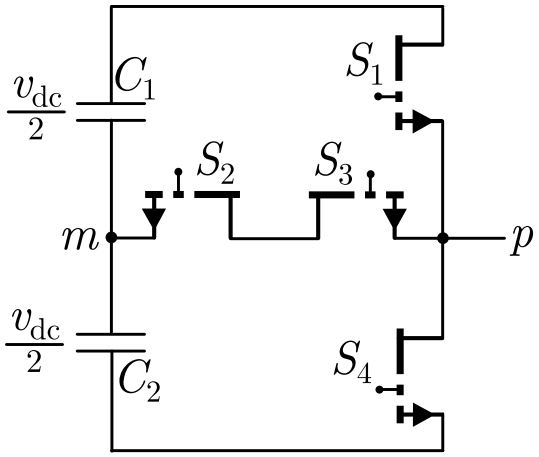


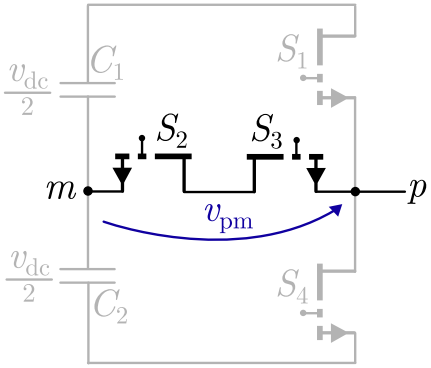
Figura 3.1: Convertidor T-type.

La lógica de disparo en el convertidor T-type se basa en una secuencia predefinida de estados de conmutación. Esto significa que, en lugar de depender de una referencia moduladora para controlar los interruptores, el convertidor sigue una lógica específica que determina los estados de los interruptores en función de las condiciones de operación [39]. Es decir, se basa en una serie de reglas de conmutación que aseguran un balance adecuado en el punto neutro y la estabilidad del sistema.

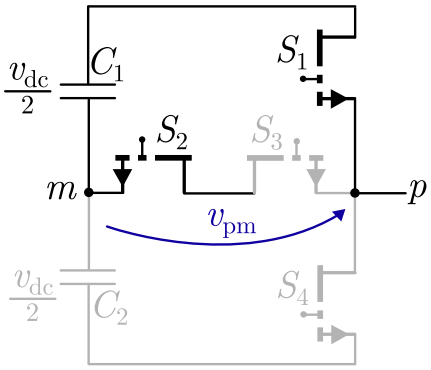
Tabla 3.1: Estados de conmutación y semiconductores bloqueando.

v_{pm}	E_n	S_1	S_4	S_2	S_3	**Semiconductor Bloqueando**
$v_{dc}/2$	E_1	1	0	1	0	S_3
0	E_0	0	0	1	1	-
$-v_{dc}/2$	E_{m1}	0	1	0	1	S_2

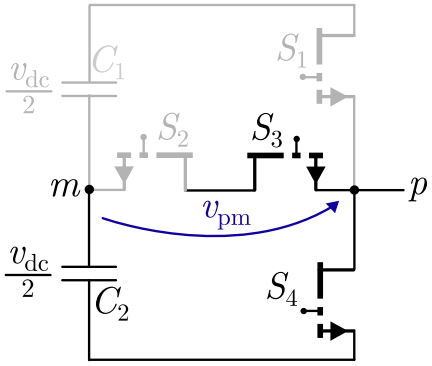
La Tabla 3.1 muestra los distintos estados de conmutación del convertidor y los semiconductores de la pierna bidireccional que bloquean voltaje en cada caso. El bloqueo de voltaje en un semiconductor significa que, al no estar activo, se genera un voltaje entre sus terminales sin que fluya corriente a través de él. Es fundamental en términos



(a) Estado E0, con $v_{pm} = 0$ V.



(b) Estado E1, con $v_{pm} = v_{dc}/2$.



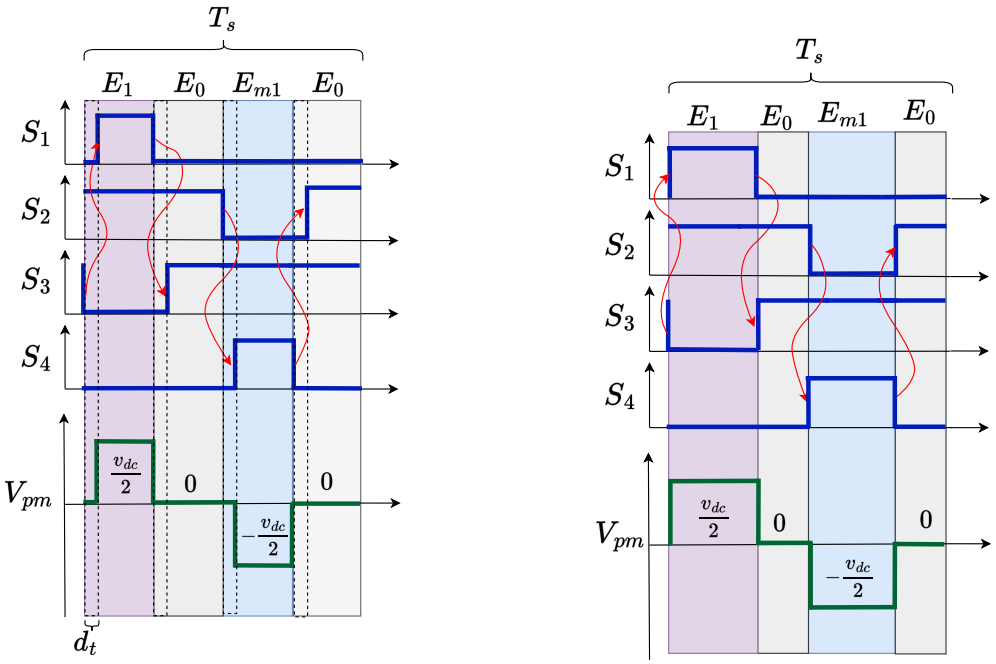
(c) Estado EM1, con $v_{pm} = -v_{dc}/2$.

Figura 3.2: Estados de conducción E0, E1 y EM1.

de implementación, que este voltaje se mantenga dentro de los límites que el semiconductor puede soportar, ya que exceder dichos parámetros podría comprometer la integridad del dispositivo.

Como se observa en la Tabla 3.1, en cada estado se identifica únicamente un semiconductor que está bloqueando. Esta característica es ventajosa, ya que minimiza las pérdidas por conmutación y simplifica la gestión de tiempos muertos, dado que solo se requiere un retraso en el encendido de los semiconductores. Los semiconductores S_1 y S_4 que no se nombran en la tabla, se encuentran bloqueando un voltaje de v_{dc}. Para mitigar este efecto y evitar que un solo semiconductor soporte la totalidad del voltaje, se implementan adaptaciones colocando dos semiconductores en serie. De esta forma, el voltaje se divide en partes iguales entre ambos dispositivos, lo que permite que todos los semiconductores bloqueen un voltaje de $v_{dc}/2$.

Tal como se observa en la Figura 3.3, cada vez que un semiconductor se apaga, otro se enciende, lo cual se aprecia claramente en las líneas oblicuas de la Figura 3.3a. Se tiene



(a) Secuencia de lógica para el T-type con tiempo muerto.

(b) Secuencia de lógica para el T-type con ancho de pulso modificado.

Figura 3.3: Comparación de las secuencias de lógica para el T-type (a) y T-type con ancho de pulso modificado (b).

marcado el tiempo de retardo en el encendido, denotado por la variable d_t. El proceso de introducir un tiempo muerto solo afecta el retraso en el encendido de cada semiconductor de manera independiente, lo que representa una ventaja significativa para implementar este tipo de modulación.

Por otro lado, al modificar el ancho de los pulsos, también cambia la forma de la onda generada. En la Figura 3.3b, se puede ver que al variar el ancho de los estados E_1 o E_{M1}, la forma de la onda de voltaje deja de ser cuadrada y adquiere una forma más rectangular.

3.2. Modulación del Convertidor T-type DAB

El primero puente del convertidor propuesto se compone de dos T-type conectados a los puertos de un transformador. Es posible analizar este sistema de manera análoga a un convertidor T-type, pero con la adición de una pierna extra conectada en paralelo a los capacitores de entrada.

La comparación que se presenta en la Figura 3.4 evidencia que el sistema propuesto integra dos módulos T-type dispuestos en paralelo en la entrada.

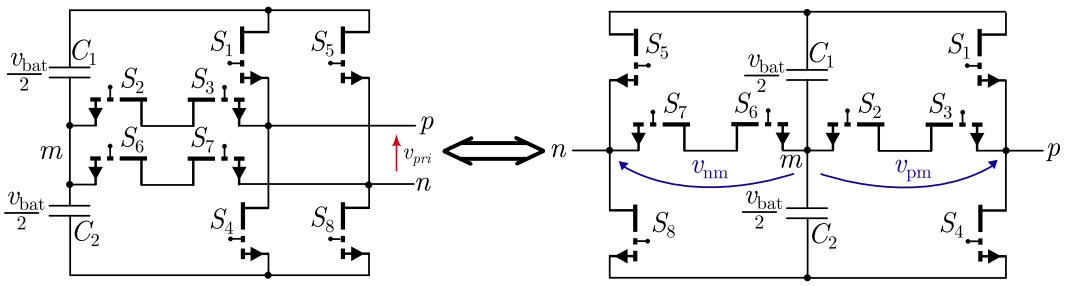


Figura 3.4: Primer puente del Convertidor T-type DAB y su relación con el Convertidor T-type.

Es posible el encontrar la relación de voltajes al igual que con el T-type, dado que se tiene que:

$$v_{pri} = v_p - v_n = v_{pm} - v_{nm} \implies \tag{3.1}$$

$$v_{pri} = v_{pm} - v_{nm} \tag{3.2}$$

A partir de esta lógica y aplicando un enfoque diferencial, se procede con la siguiente tabla que resume los estados de conmutación del sistema.

Tabla 3.2: Estados de Conmutación para el primer puente del T-type DAB.

S_1	S_4	S_2	S_3	S_5	S_8	S_6	S_7	v_{pm}	v_{nm}	v_{pri}	**Cap. Selecc.**
1	0	1	0	0	1	0	1	$v_{bat}/2$	$-v_{bat}/2$	v_{bat}	C_1, C_2
1	0	1	0	0	0	1	1	$v_{bat}/2$	0	$v_{bat}/2$	C_1
0	0	1	1	0	1	0	1	0	$-v_{bat}/2$	$v_{bat}/2$	C_2
0	0	1	1	0	0	1	1	0	0	0	-
0	0	1	1	1	0	1	0	0	$v_{bat}/2$	$-v_{bat}/2$	C_1
0	1	0	1	0	0	1	1	$-v_{bat}/2$	0	$-v_{bat}/2$	C_2
0	1	0	1	1	0	1	0	$-v_{bat}/2$	$v_{bat}/2$	$-v_{bat}$	C_1, C_2

En la Tabla 3.2, se resumen los estados de conmutación necesarios para generar los distintos niveles de voltaje en el primario del transformador. Como se puede apreciar, la generación de los niveles de voltaje v_{pri} requiere diferentes combinaciones de activación de interruptores y con esto se tendrás diferentes selección de capacitor asociado, lo que permite obtener los niveles de v_{bat}, $v_{bat}/2$, $-v_{bat}/2$, y $-v_{bat}$, cuando no se tiene ningún capacitor, entonces se tiene el estado 0V.

Para tener una representación gráfica de lo descrito en la Tabla 3.2, se tiene que en las Figuras 3.5 se ilustra cómo están los diferentes semiconductores en todos los estados. En la Figura 3.5a, se observa el estado en el que $v_{pri} = 0$. Los estados donde v_{pri} alcanza sus

Tabla 3.3: Valores de Bloqueo y Estados de Conmutación.

v_{pri}	**Cap. Selecc.**	S_n **en** v_{pm}	$V_{bloqueo}$ **en** v_{pm}	S_n **en** v_{nm}	$V_{bloqueo}$ **en** v_{nm}
v_{bat}	C_1, C_2	S_2	$v_{bat}/2$	S_7	$v_{bat}/2$
$v_{bat}/2$	C_1	S_3	$v_{bat}/2$	-	-
$v_{bat}/2$	C_2	-	-	S_6	$v_{bat}/2$
0	-	-	-	-	-
$-v_{bat}/2$	C_1	-	-	S_7	$v_{bat}/2$
$-v_{bat}/2$	C_2	S_2	$v_{bat}/2$	-	-
$-v_{bat}$	C_1, C_2	S_6	$v_{bat}/2$	S_3	$v_{bat}/2$

niveles máximo y mínimo, $v_{pri} = v_{bat}$ y $v_{pri} = -v_{bat}$, se muestran en las Figuras 3.5b y 3.5c, respectivamente. Para los niveles intermedios, como $v_{pri} = v_{bat}/2$ y $v_{pri} = -v_{bat}/2$, existen dos métodos de generación que dependen del capacitor seleccionado. Si se busca obtener $v_{pri} = v_{bat}/2$, se puede utilizar el voltaje en el capacitor C_1, como se muestra en la Figura 3.5d, o emplear el capacitor C_2, como se ilustra en la Figura 3.5e. De forma similar, para generar $v_{pri} = -v_{bat}/2$, se puede optar por C_1 (Figura 3.5f) o C_2 (Figura 3.5g).

La Tabla 3.3 muestra los estados de conmutación y los semiconductores que bloquean en cada configuración. S_n corresponde al semiconductor que está bloqueando en los nodos v_{pm} o v_{nm}, mientras que $V_{bloqueo}$ indica la magnitud del voltaje que se está bloqueando en estos nodos.

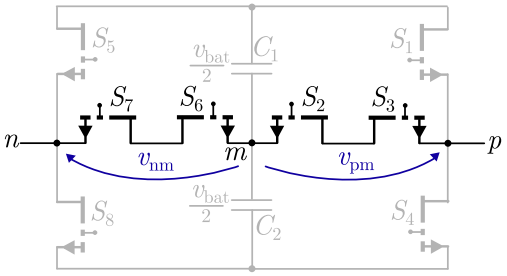
En cada estado, los semiconductores de la pierna bidireccional soportan un voltaje de bloqueo de $v_{bat}/2$. Sin embargo, en el caso de los semiconductores del puente H, al realizar un análisis de mallas, se observa que en ciertos estados estos pueden llegar a bloquear un voltaje de hasta v_{bat}. Para mitigar este estrés adicional, una solución sería seguir el enfoque de la topología T-type, colocando semiconductores en serie.

3.3. Secuencias posibles

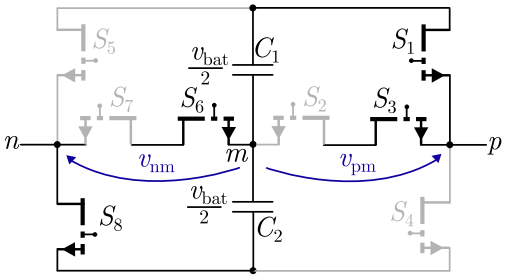
En la Tabla 3.2 se resume la lógica de disparo. Tal como se observa, es posible generar de dos formas los estados $v_{bat}/2$ y $-v_{bat}/2$ dependiendo del voltaje correspondiente a uno de los dos capacitores disponibles. El objetivo es obtener la siguiente secuencia:

$$0 \implies v_{bat}/2 \implies v_{bat} \implies v_{bat}/2 \implies 0 \implies -v_{bat}/2 \implies -v_{bat} \implies -v_{bat}/2$$

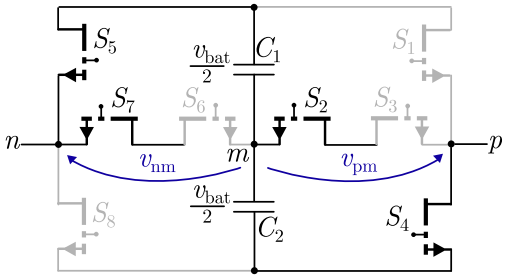
Dado que se cuenta con la opción de utilizar cualquiera de los dos capacitores (C_1 y C_2) en los niveles intermedios de voltaje, inicialmente se tienen cuatro niveles medios de voltaje, lo que implica:



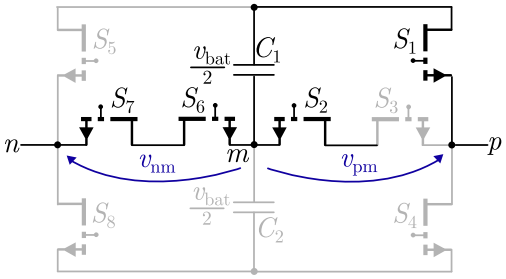
(a) $v_{pri} = 0$ V.



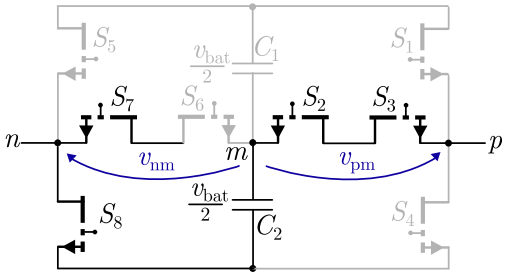
(b) $v_{pri} = v_{bat}$.



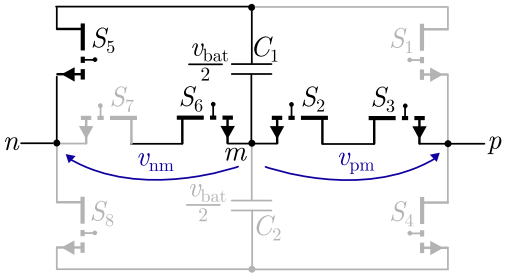
(c) $v_{pri} = -v_{bat}$.



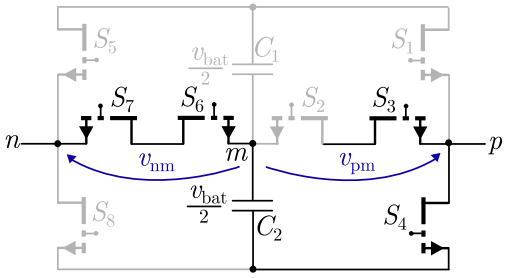
(d) $v_{pri} = v_{bat}/2$ con C_1.



(e) $v_{pri} = v_{bat}/2$ con C_2.



(f) $v_{pri} = -v_{bat}/2$ con C_1.



(g) $v_{pri} = -v_{bat}/2$ con C_2.

Figura 3.5: Estados de conducción del primario en diferentes configuraciones.

$$\text{Posibilidades} = \#\text{opciones}^{\#\text{repeticiones}} = 2^4 = 16$$

Sin embargo, para asegurar un balance en el uso de los capacitores y evitar un desbalance en sus ciclos de carga y descarga, se desea que tanto C_1 como C_2 se utilicen al menos dos veces cada uno en los niveles intermedios.

Al imponer esta restricción, el número de combinaciones válidas se reduce, ya que ahora se requiere distribuir exactamente dos apariciones de C_1 y dos de C_2 en los cuatro niveles intermedios. Esto equivale a calcular las formas de reordenar la secuencia $\{C_1, C_1, C_2, C_2\}$:

$$\text{Secuencias posibles} = \frac{4!}{2! \times 2!} = 6$$

Por lo tanto, con la restricción de usar ambos capacitores de manera equilibrada, se tienen 6 secuencias posibles para los niveles de voltaje intermedios.

Para tomar una elección, se basó en los ciclos de uso de los capacitores, es decir, se eligió una modulación tal que en el ciclo positivo se emplee un capacitor en los estados intermedios y el otro sea utilizado en el ciclo negativo. Llegando así a la siguiente secuencia elegida:

$$0 \implies v_{bat}^{C_1}/2 \implies v_{bat} \implies v_{bat}^{C_1}/2 \implies 0 \implies -v_{bat}^{C_2}/2 \implies -v_{bat} \implies -v_{bat}^{C_2}/2$$

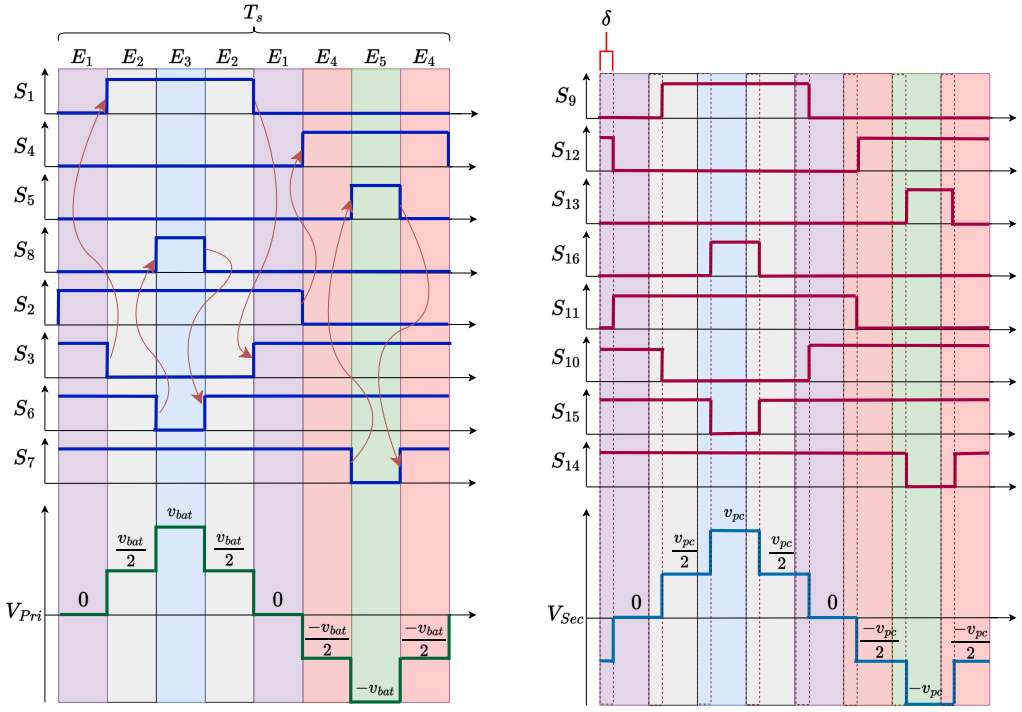
Este análisis es similar para el segundo puente, pero considerando el voltaje obtenido en la salida y teniendo en cuenta el desfase existente entre los semiconductores. En cuanto a los anchos de pulsos, se decidió que la duración de cada estado sea la misma, ya que para determinar un óptimo en cuanto al ancho de cada pulso se requerirá un análisis matemático detallado. Por lo tanto al fijar estos tiempos en las secuencias de disparo, se obtienen las Figuras 3.6a y 3.6b, que corresponden a la lógica en un ciclo de los semiconductores.

Al igual que en la Figura 3.3a, al momento de cambiar de estado, únicamente se apaga y enciende un semiconductor, lo cual se señala con las flechas oblicuas. Un aspecto importante a destacar es que, a partir de la secuencia mostrada, se puede establecer la relación entre los voltajes continuos, es decir, el voltaje de entrada y salida con respecto al voltaje en el primario y secundario, respectivamente. Por simple inspección, y tomando las variables asociadas a la Figura 2.7 se obtiene la siguiente relación:

$$v_{pri} = \frac{v_{bat}}{2} \cdot (S_1 - S_4 + S_8 - S_5) \tag{3.3}$$

$$v_{sec} = \frac{v_{pc}}{2} \cdot (S_9 - S_{16} + S_{12} - S_{13}) \tag{3.4}$$

Estas relaciones son fundamentales para desarrollar el modelo del sistema. Además, es importante destacar que los cambios en los anchos de los pulsos no afectarían las ecuaciones establecidas, aunque sí podrían influir en el comportamiento del modelo si se modifica la secuencia de capacitores seleccionados para generar los voltajes intermedios.



(a) Secuencia de lógica para el voltaje en el primario.

(b) Secuencia de lógica para el voltaje en el secundario.

Figura 3.6: Comparación de secuencias de lógica para los voltajes en el puente primario y secundario del convertidor T-type DAB.

Capítulo 4

MODELO DEL CONVERTIDOR

En este capítulo se explorará el desarrollo del modelo del sistema, utilizando dos enfoques distintos para aproximarse a una representación adecuada. Dado que el sistema en cuestión es inherentemente no lineal, obtener un modelo preciso resulta complejo. La principal necesidad es establecer una relación clara entre el desfase aplicado entre los puentes y el voltaje de salida, ya que esta relación es fundamental para el posterior diseño de un controlador. Debido a la no linealidad del sistema, será necesario linealizar el modelo en un punto de operación.

4.1. Modelo basado en formas de onda

Para desarrollar un modelo del convertidor, es crucial comprender inicialmente la la lógica de disparo y su impacto directo en la operación del convertidor. El voltaje de entrada, que se mantiene constante, es modulado mediante la operación dada en las ecuaciones (3.3) y (3.4). Esta configuración de los semiconductores permite obtener el voltaje en al lado alterno relacionado con los voltajes de entrada y salida del convertidor. La dinámica de la corriente alterna se relaciona con estas variables mediante:

$$L\frac{di_L}{dt} = v_{pri} - \frac{v_{sec}}{n} \tag{4.1}$$

En la ecuación (4.1), v_{pri} y v_{sec} representan los voltajes en el lado alterno por lado del primario y secundario del convertidor, respectivamente, y n es el factor de transformación proporcionado por el transformador asociado al sistema, L la inductancia en serie en el primario, también se tiene en cuenta los voltajes de entrada y salida del convertidores los cuales serian v_{bat} el de entrada y v_{pc} el de salida. Esta ecuación es una versión simplificada, no teniendo en cuenta el aporte de inductancia y resistencia magnetizante y la resistencia de fuga.

Es posible modelar la corriente $i_L(t)$ en el inductor como una función de las rampas de tiempo, esto es debido a que como se tiene voltajes continuos por tramos, la ecuación integrara llevando así a pendientes las cuales son el resultado directo de los diferentes estados de conmutación de los interruptores a lo largo de un ciclo completo. La ecuación que define la corriente en función del tiempo es:

$$i_L(t) = R_i(v_{pri}, v_{sec}, n, L, t) \tag{4.2}$$

Donde $R_i(v_{pri}, v_{sec}, n, L, t)$ son funciones rampas temporales determinadas por los patrones de activación de los interruptores, dadas por el sufijo i. Este modelo nos da indicios de que la secuencia afecta directamente la magnitud. En este modelo no tiene en cuenta los valores iniciales, aunque de igual manera por las operaciones realizadas a posterior no representarían una variación significativa.

Este modelo conmutado tiene igualmente una no linealidad, debido a que se tienen diferentes estados en la relación de corriente y con los voltaje del lado alterno y el desfase correspondiente. Para analizar este cambio se tiene que el máximo desfase es para el sistema es $\pi/2$ rad [6], esto para siguiendo la lógica del DAB, con esto se tiene que se tiene que:

$$\delta = \frac{2\pi T_d}{T_s} \tag{4.3}$$

donde T_d es el desfase temporal y T_s el periodo.

$$\frac{2\pi(T_s/8)}{T_s} = \pi/4 \tag{4.4}$$

$$\frac{2\pi(2T_s/8)}{T_s} = \pi/2 \tag{4.5}$$

Entonces el modelo varía en una única ocasión ocurrido en $T_s/8$.

4.1.1. Segmentación del Ciclo de Conmutación

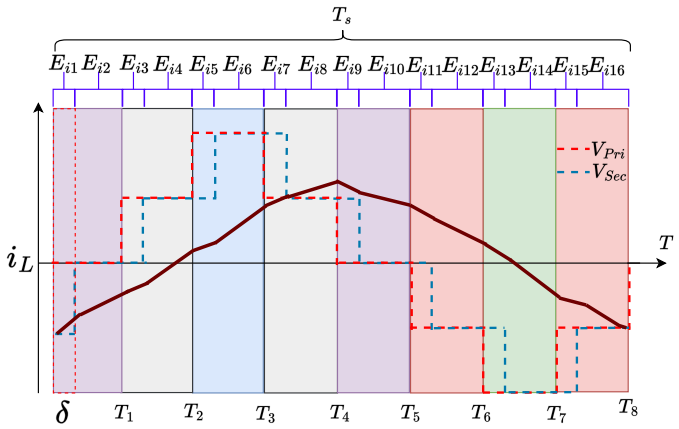


Figura 4.1: Estados en el voltaje y corriente del primario con desfase menor a $T_s/8$.

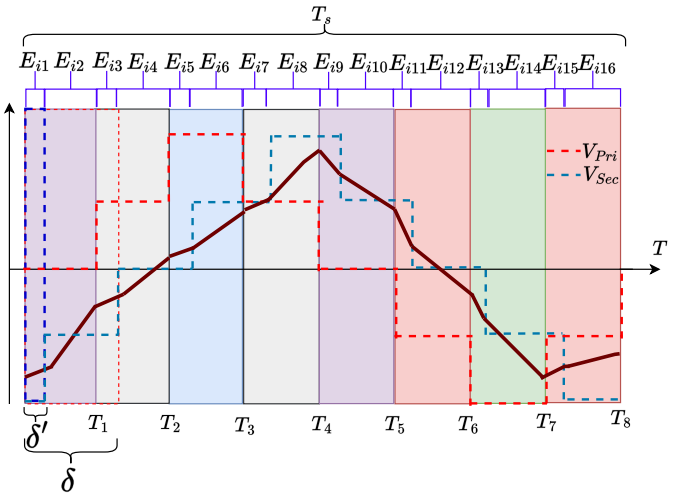


Figura 4.2: Estados en el voltaje y corriente del primario con desfase menor a $2T_s/8$.

Tal como se aprecia en las Figuras 4.1 y 4.2, el periodo completo T_s del ciclo de conmutación está dividido en 16 estados de la corriente denominados E_{ih}, con h el sufijo para cada estado.

En la Figura 4.2 se observa que el desfase del sistema ya es mayor a un estado de voltaje es decir mayor a $T_s/8$, por lo que se realiza un cambio de variable de δ a δ' para mantener la misma lógica en los rangos de tiempo.

Para proporcionar una visualización clara de la influencia de cada configuración de interruptores en la corriente del inductor $i_L(t)$, se elabora el siguiente cuadro que desglosa el ciclo completo en 16 intervalos, describiendo la pendiente correspondiente a cada uno.

Tabla 4.1: Pendientes de la corriente $i_L(t)$ para cada intervalo del ciclo de conmutación con desfase menor a $T_s/8$.

Estado de corriente	**Rango de tiempo**	**Pendiente**
E_{i1}	0 a δ	$\frac{v_{pc}}{2nL}$
E_{i2}	δ a T_1	0
E_{i3}	T_1 a $T_1+\delta$	$\left(\frac{v_{bat}}{2L}\right)$
E_{i4}	$T_1+\delta$ a T_2	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{i5}	T_2 a $T_2+\delta$	$\frac{v_{bat}}{L}$
E_{i6}	$T_2+\delta$ a T_3	$\frac{1}{L}\left(v_{bat}-\frac{v_{pc}}{2}\right)$
E_{i7}	T_3 a $T_3+\delta$	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{n}\right)$
E_{i8}	$T_3+\delta$ a T_4	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{i9}	T_4 a $T_4+\delta$	$-\frac{v_{pc}}{2nL}$
E_{i10}	$T_4+\delta$ a T_5	0
E_{i11}	T_5 a $T_5+\delta$	$-\frac{v_{bat}}{2L}$
E_{i12}	$T_5+\delta$ a T_6	$\frac{1}{L}\left(-\frac{v_{bat}}{2}+\frac{v_{pc}}{2n}\right)$
E_{i13}	T_6 a $T_6+\delta$	$\frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{2n}\right)$
E_{i14}	$T_6+\delta$ a T_7	$\frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{n}\right)$
E_{i15}	T_7 a $T_7+\delta$	$\frac{1}{L}\left(-\frac{v_{bat}}{2}+\frac{v_{pc}}{n}\right)$
E_{i16}	$T_7+\delta$ a T_8	$\frac{1}{L}\left(-\frac{v_{bat}}{2}+\frac{v_{pc}}{2n}\right)$

Modelada la corriente en el primario, se puede proceder a obtener algún de relación de esta misma con el desfase existente entre puentes del convertidor.

Tabla 4.2: Pendientes de la corriente $i_L(t)$ para cada intervalo del ciclo de conmutación con desfase mayor a $T_s/8$.

Estado de corriente	**Rango de tiempo**	**Pendiente m_i**
E_{i1}	0 a δ'	$\frac{v_{pc}}{nL}$
E_{i2}	δ' a T_1	$\frac{v_{pc}}{2nL}$
E_{i3}	T_1 a $T_1+\delta'$	$\frac{1}{L}\left(\frac{v_{bat}}{2}+\frac{v_{pc}}{2n}\right)$
E_{i4}	$T_1+\delta'$ a T_2	$\frac{v_{bat}}{2L}$
E_{i5}	T_2 a $T_2+\delta'$	$\frac{v_{bat}}{L}$
E_{i6}	$T_2+\delta'$ a T_3	$\frac{1}{L}\left(v_{bat}-\frac{v_{pc}}{2n}\right)$
E_{i7}	T_3 a $T_3+\delta'$	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{i8}	$T_3+\delta'$ a T_4	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{n}\right)$
E_{i9}	T_4 a $T_4+\delta'$	$-\frac{v_{pc}}{nL}$
E_{i10}	$T_4+\delta'$ a T_5	$-\frac{v_{pc}}{2nL}$
E_{i11}	T_5 a $T_5+\delta'$	$\frac{1}{L}\left(-\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{i12}	$T_5+\delta'$ a T_6	$\frac{1}{L}\left(-\frac{v_{bat}}{2}+\frac{v_{pc}}{2n}\right)$
E_{i13}	T_6 a $T_6+\delta'$	$-\frac{v_{bat}}{L}$
E_{i14}	$T_6+\delta'$ a T_7	$\frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{2n}\right)$
E_{i15}	T_7 a $T_7+\delta'$	$\frac{1}{L}\left(-\frac{v_{bat}}{2}+\frac{v_{pc}}{2n}\right)$
E_{i16}	$T_7+\delta'$ a T_8	$\frac{1}{L}\left(-\frac{v_{bat}}{2}+\frac{v_{pc}}{n}\right)$

4.1.2. Formulación de corriente de entrada y salida

Al tener una representación de la corriente es posible obtener otra corriente en el sistema, estas se denominan i_{pc1} e i_{pc2}, estas se describen de la siguiente forma:

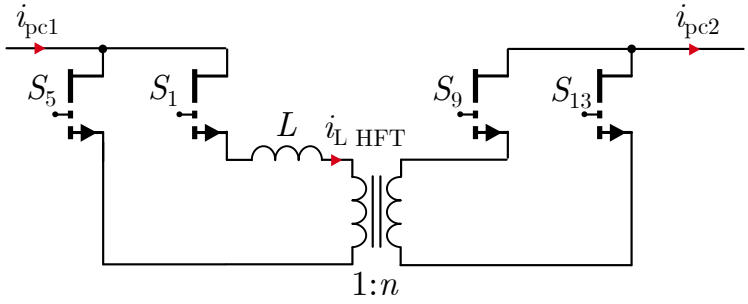


Figura 4.3: Modelado de las corrientes i_{pc1} y i_{pc2}.

De la figura se puede extraer que

$$i_{pc1} = (S_1 - S_5) \cdot i_L(t) \tag{4.6}$$

Por lado del primario.

$$i_{pc2} = (S_9 - S_{13}) \cdot i_L(t)/n \tag{4.7}$$

Por parte del secundario.

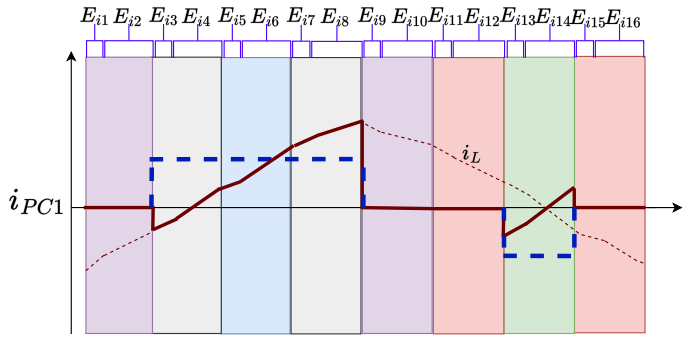


Figura 4.4: Forma de la corriente i_{pc1}.

En la Figura 4.4 se aprecia que es lo que con la operación descrita en la ecuación (4.6) modifica la corriente i_L la cual se observa en la Figura 4.1. A diferencia de la corriente en el lado alterno la corriente i_{pc1} presenta un valor medio.

4.1.2.1. Análisis de balance de capacitores

Las corriente de entrada y salida al convertidor no son necesariamente i_{pc1} e i_{pc2} respectivamente, debido a que se tiene su contraparte negativa:

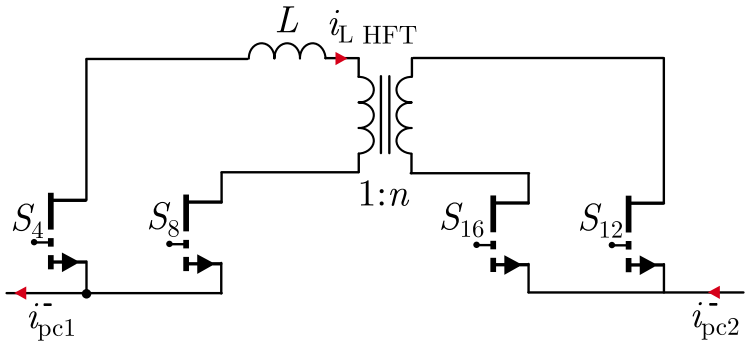


Figura 4.5: Modelado de las corriente i_{pc1} e i_{pc2} en su parte negativa.

Con esto se puede realizar el siguiente análisis de corrientes:

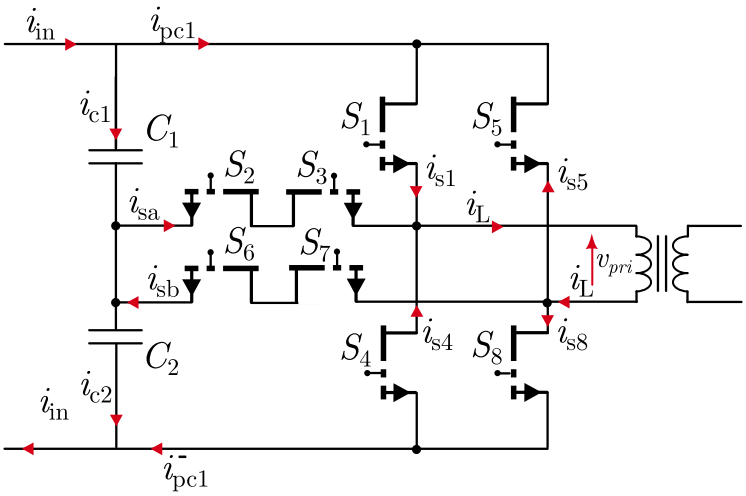


Figura 4.6: Corrientes involucradas en el primario del convertidor.

Se tiene el siguiente sistema de ecuaciones:

$$i_L = i_{s1} + i_{sa} + i_{s4} \tag{4.8}$$

$$i_L = i_{s5} + i_{sb} + i_{s8} \tag{4.9}$$

Si restamos las ecuaciones (4.8) y (4.9) y reagrupamos, obtenemos:

$$i_{sb} - i_{sa} = (i_{s1} - i_{s5}) - (i_{s8} - i_{s4}) = (i_{pc1} - i_{pc1}^-) \tag{4.10}$$

Renombrando, se tiene que:

$$\Delta i_{pc1} = \Delta i_{sba} \tag{4.11}$$

donde $\Delta i_{pc1} = (i_{pc1} - i_{pc1}^-)$ y $\Delta i_{sba} = i_{sb} - i_{sa}$. Al observar el nodo central, se obtiene:

$$i_{sb} - i_{sa} = i_{c2} - i_{c1} \tag{4.12}$$

Reemplazando y renombrando, se tiene:

$$\Delta i_{sba} = \Delta i_c \tag{4.13}$$

donde $\Delta i_c = i_{c2} - i_{c1}$. Al observar los nodos de entrada, se tiene que:

$$i_{in} = i_{c1} + i_{pc1} \tag{4.14}$$

$$i_{in} = i_{pc1}^{-} + i_{c2} \tag{4.15}$$

Restando estas dos ecuaciones y reagrupando, obtenemos:

$$\Delta i_{pc1} = \Delta i_c \tag{4.16}$$

Por lo tanto, al reunir los resultados, se concluye que:

$$\Delta i_{pc1} = \Delta i_c = \Delta i_{sba} \tag{4.17}$$

Esta última ecuación es importante porque relaciona tres diferenciales relevantes del sistema: la diferencia de las corrientes asociadas a las ramas superiores e inferiores (Δi_{pc1}), la diferencia de las corrientes en los capacitores (Δi_c), y la diferencia de las corrientes en las piernas bidireccionales (Δi_{sba}) esta última ligada a la corriente del primario.

Es importante notar que, si las corrientes en las piernas bidireccionales tienen igual magnitud, se tendrá un balance en los capacitores. Esto está asociado a la componente continua de la corriente en el primario. Si existe tal componente continua, una de las corrientes, ya sea i_{sa} o i_{sb}, tendrá un valor diferido, lo que desbalanceará los capacitores y las corrientes de las ramas superior (i_{pc1}) e inferior (i_{pc1}^{-}). Esto también ocurre a la inversa: si los capacitores se desbalancean, aparecerá una componente continua en la corriente del primario.

Para evitar estos problemas, es esencial una modulación adecuada que garantice que ambas piernas bidireccionales estén activas la misma cantidad de tiempo.

Finalmente, es relevante destacar que, si en estado estacionario los capacitores están balanceados, se puede derivar que la corriente de entrada al convertidor es igual a i_{pc1}. Todo este análisis es análogo en el lado secundario del convertidor.

4.1.3. Modelo de las corrientes i_{pc}

Ahora bien, tal como se mostró en la Figuras 3.6a y 3.6b, las restas $(S_1 - S_5)$ y $(S_9 - S_{13})$ se pueden representar como escalones:

$$Ri_{pc1}[t] = (u[t - T_1] - u[t - 4T_1]) - (u[t - 6T_1] - u[t - 7T_1] \tag{4.18}$$

$$Ri_{pc21}[t] = u[t - T_1 - \delta] - u[t - 4T_1 - \delta] - (u[t - 6T_1 - \delta] - u[t - 7T_1 - \delta]) \tag{4.19}$$

$$Ri_{pc22}[t] = u[t - 2T_1 - \delta'] - u[t - 5T_1 - \delta'] - (u[t - 7T_1 - \delta'] - u[t - 8T_1 - \delta']) \tag{4.20}$$

donde $u[t]$ es la función de heaviside, se observa que para la resta de i_{pc2} se tiene dos posibles formas, dado que depende del estado que se encuentra el desfase se encuentra.

Ya modelada las corrientes, se puede obtener que valores tiene a lo largo del ciclo, al nombrar E_{ipch} como el estado de la corriente i_{pc} en el estado h se tiene que:

Tabla 4.3: Pendientes de la corriente i_{pc1} para cada intervalo del ciclo de conmutación con desfase menor a $T_s/8$.

Estado de corriente	**Rango de tiempo**	**Pendiente**
E_{ipc3}	T_1 a $T_1+\delta$	$\left(\frac{v_{bat}}{2L}\right)$
E_{ipc4}	$T_1+\delta$ a T_2	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{ipc5}	T_2 a $T_2+\delta$	$\frac{v_{bat}}{L}$
E_{ipc6}	$T_2+\delta$ a T_3	$\frac{1}{L}\left(v_{bat}-\frac{v_{pc}}{2}\right)$
E_{ipc7}	T_3 a $T_3+\delta$	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{n}\right)$
E_{ipc8}	$T_3+\delta$ a T_4	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{ipc13}	T_6 a $T_6+\delta$	$-\frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{2n}\right)$
E_{ipc14}	$T_6+\delta$ a T_7	$-\frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{n}\right)$

Tabla 4.4: Pendientes de la corriente i_{pc1} para cada intervalo del ciclo de conmutación con desfase mayor a $T_s/8$.

Estado de corriente	**Rango de tiempo**	**Pendiente m_i**
E_{ipc3}	T_1 a $T_1+\delta'$	$\frac{1}{L}\left(\frac{v_{bat}}{2}+\frac{v_{pc}}{2n}\right)$
E_{ipc4}	$T_1+\delta'$ a T_2	$\frac{v_{bat}}{2L}$
E_{ipc5}	T_2 a $T_2+\delta'$	$\frac{v_{bat}}{L}$
E_{ipc6}	$T_2+\delta'$ a T_3	$\frac{1}{L}\left(v_{bat}-\frac{v_{pc}}{2n}\right)$
E_{ipc7}	T_3 a $T_3+\delta'$	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{ipc8}	$T_3+\delta'$ a T_4	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{n}\right)$
E_{ipc13}	T_6 a $T_6+\delta'$	$\frac{v_{bat}}{L}$
E_{ipc14}	$T_6+\delta'$ a T_7	$-\frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{2n}\right)$

Tabla 4.5: Pendientes de la corriente i_{pc2} para cada intervalo del ciclo de conmutación con desfase menor a $T_s/8$.

Estado de corriente	**Rango de tiempo**	**Pendiente**
E_{ipc4}	$T_1+\delta$ a T_2	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{ipc5}	T_2 a $T_2+\delta$	$\frac{v_{bat}}{L}$
E_{ipc6}	$T_2+\delta$ a T_3	$\frac{1}{L}\left(v_{bat}-\frac{v_{pc}}{2}\right)$
E_{ipc7}	T_3 a $T_3+\delta$	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{n}\right)$
E_{ipc8}	$T_3+\delta$ a T_4	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{ipc9}	T_4 a $T_4+\delta$	$-\frac{v_{pc}}{2nL}$
E_{ipc14}	$T_6+\delta$ a T_7	$\frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{n}\right)$
E_{ipc15}	T_7 a $T_7+\delta$	$\frac{1}{L}\left(-\frac{v_{bat}}{2}+\frac{v_{pc}}{n}\right)$

Tabla 4.6: Pendientes de la corriente i_{pc2} para cada intervalo del ciclo de conmutación con desfase mayor a $T_s/8$.

Estado de corriente	**Rango de tiempo**	**Pendiente** m_i
E_{ipc1}	0 a δ'	$\frac{v_{pc}}{nL}$
E_{ipc6}	$T_2+\delta'$ a T_3	$\frac{1}{L}\left(v_{bat}-\frac{v_{pc}}{2n}\right)$
E_{ipc7}	T_3 a $T_3+\delta'$	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{ipc8}	$T_3+\delta'$ a T_4	$\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{n}\right)$
E_{ipc9}	T_4 a $T_4+\delta'$	$-\frac{v_{pc}}{nL}$
E_{ipc10}	$T_4+\delta'$ a T_5	$-\frac{v_{pc}}{2nL}$
E_{ipc11}	T_5 a $T_5+\delta'$	$\frac{1}{L}\left(-\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)$
E_{ipc16}	$T_7+\delta'$ a T_8	$\frac{1}{L}\left(-\frac{v_{bat}}{2}+\frac{v_{pc}}{n}\right)$

4.1.4. Cálculo del Valor Medio de las corrientes i_{pc2}

Lo realizado demuestra los distintos valores de pendiente a lo largo del ciclo, se denota que el modelo aún sigue siendo conmutado. Por lo que, para llevarlo a un modelo no conmutado, se realizará la operación de valor medio. Así, se podrá obtener la caracterización del sistema en una simple ecuación.

El valor medio de la corriente a lo largo de un ciclo de conmutación se define como:

$$\bar{i}_{PC} = \frac{1}{T_s}\int_0^{T_s} i_{pc}(t)\,dt \tag{4.21}$$

Dado que la corriente $i_{pc}(t)$ está determinada por distintas pendientes a lo largo del ciclo de conmutación, existe la necesidad de modelar estas pendientes como funciones rampa que se activan y desactivan en intervalos específicos. Estas funciones rampa permiten capturar los cambios en las pendientes que ocurren durante el ciclo.

Una función rampa genérica puede expresarse como:

$$R(t-t_0) = (t-t_0)u(t-t_0) \tag{4.22}$$

Donde $u(t-t_0)$ es la función escalón de Heaviside. La función rampa $R(t-t_0)$ se activa en t_0 y se desactiva cuando se resta de otra función rampa similar.

La corriente $i_{pc}(t)$ puede modelarse como una suma de estas rampas, con cada una multiplicada por la pendiente correspondiente en su intervalo de tiempo:

$$\begin{aligned} i_{pc}(t) = {} & m_{ipc1}\cdot[R(t)-R(t-\delta)] + m_{ipc2}\cdot[R(t-\delta)-R(t-T_1)] \\ & + m_{ipc3}\cdot[R(t-T_1)-R(t-(T_1+\delta))] + m_{ipc4}\cdot[R(t-(T_1+\delta))-R(t-T_2)] \\ & + \ldots + m_{ipc16}\cdot[R(t-(T_7+\delta))-R(t-T_s)] \end{aligned} \tag{4.23}$$

Dado que la función $i_{pc}(t)$ está compuesta por varias funciones rampa activadas y desactivadas en diferentes intervalos de tiempo, el valor medio de $\overline{i_{PC}}$ puede expresarse como la suma ponderada de las integrales en cada uno de estos intervalos:

$$\begin{aligned}\bar{i}_{PC} = \frac{1}{T_s}\Bigg(& m_{ipc1}\int_0^{\delta}[R(t)-R(t-\delta)]\,dt \\ & + m_{ipc2}\int_{\delta}^{T_1}[R(t-\delta)-R(t-T_1)]\,dt \\ & + m_{ipc3}\int_{T_1}^{T_1+\delta}[R(t-T_1)-R(t-(T_1+\delta))]\,dt \\ & + m_{ipc4}\int_{T_1+\delta}^{T_2}[R(t-(T_1+\delta))-R(t-T_2)]\,dt \\ & + \dots \\ & + m_{ipc16}\int_{T_7+\delta}^{T_s}[R(t-(T_7+\delta))-R(t-T_s)]\,dt\Bigg)\end{aligned} \tag{4.24}$$

Dado que $R(t-t_0) = (t-t_0)u(t-t_0)$, la integral de $R(t-t_0)$ sobre un intervalo específico se convierte en una integral de la forma $\int(t-t_0)dt$. Al calcular estas integrales, obtenemos:

$$\begin{aligned}\bar{i}_{PC} = \frac{1}{T_s}\Bigg(& m_{ipc1}\cdot\frac{\delta^2}{2} + m_{ipc2}\cdot\frac{(T_1-\delta)^2}{2} + m_{ipc3}\cdot\frac{\delta^2}{2} \\ & + m_{ipc4}\cdot\frac{(T_2-(T_1+\delta))^2}{2} + \ldots + m_{ipc16}\cdot\frac{(T_s-(T_7+\delta))^2}{2}\Bigg)\end{aligned} \tag{4.25}$$

Entonces nos queda que las 4 corrientes $\bar{i}_{PC}$ son :

$$\begin{aligned}\bar{i}_{PC1_1} = \frac{1}{T_s}\Bigg(& \left(\frac{v_{bat}}{2L}\right)\cdot\frac{\delta^2}{2} \\ & + \frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)\cdot\frac{(T_2-(T_1+\delta))^2}{2} \\ & + \frac{v_{bat}}{L}\cdot\frac{\delta^2}{2} \\ & + \frac{1}{L}\left(v_{bat}-\frac{v_{pc}}{2}\right)\cdot\frac{(T_3-(T_2+\delta))^2}{2} \\ & + \frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{n}\right)\cdot\frac{\delta^2}{2} \\ & + \frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)\cdot\frac{(T_4-(T_3+\delta))^2}{2} \\ & - \frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{2n}\right)\cdot\frac{\delta^2}{2} \\ & - \frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{n}\right)\cdot\frac{(T_7-(T_6+\delta))^2}{2}\Bigg)\end{aligned} \tag{4.26}$$

$$\begin{aligned}\bar{i}_{PC1_2} = \frac{1}{T_s}\Bigg(&\frac{1}{L}\left(\frac{v_{bat}}{2}+\frac{v_{pc}}{2n}\right)\cdot\frac{\delta'^2}{2}\\&+\frac{v_{bat}}{2L}\cdot\frac{(T_2-(T_1+\delta'))^2}{2}\\&+\frac{v_{bat}}{L}\cdot\frac{\delta'^2}{2}\\&+\frac{1}{L}\left(v_{bat}-\frac{v_{pc}}{2n}\right)\cdot\frac{(T_3-(T_2+\delta'))^2}{2}\\&+\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)\cdot\frac{\delta'^2}{2}\\&+\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{n}\right)\cdot\frac{(T_4-(T_3+\delta'))^2}{2}\\&+\frac{v_{bat}}{L}\cdot\frac{\delta'^2}{2}\\&-\frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{2n}\right)\cdot\frac{(T_7-(T_6+\delta'))^2}{2}\Bigg)\end{aligned} \tag{4.27}$$

$$\begin{aligned}\bar{i}_{PC2_1} = \frac{1}{T_s}\Bigg(&\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)\cdot\frac{(T_2-(T_1+\delta))^2}{2}\\&+\frac{v_{bat}}{L}\cdot\frac{\delta^2}{2}\\&+\frac{1}{L}\left(v_{bat}-\frac{v_{pc}}{2}\right)\cdot\frac{(T_3-(T_2+\delta))^2}{2}\\&+\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{n}\right)\cdot\frac{\delta^2}{2}\\&+\frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)\cdot\frac{(T_4-(T_3+\delta))^2}{2}\\&-\frac{v_{pc}}{2nL}\cdot\frac{\delta^2}{2}\\&+\frac{1}{L}\left(-v_{bat}+\frac{v_{pc}}{n}\right)\cdot\frac{(T_7-(T_6+\delta))^2}{2}\\&+\frac{1}{L}\left(-\frac{v_{bat}}{2}+\frac{v_{pc}}{n}\right)\cdot\frac{\delta^2}{2}\Bigg)\end{aligned} \tag{4.28}$$

$$
\begin{aligned}
\bar{i}_{PC2_2} = \frac{1}{T_s}\Bigg(& \frac{v_{pc}}{nL}\cdot\frac{\delta'^2}{2} \\
& + \frac{1}{L}\left(v_{bat}-\frac{v_{pc}}{2n}\right)\cdot\frac{(T_3-(T_2+\delta'))^2}{2} \\
& + \frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)\cdot\frac{\delta'^2}{2} \\
& + \frac{1}{L}\left(\frac{v_{bat}}{2}-\frac{v_{pc}}{n}\right)\cdot\frac{(T_4-(T_3+\delta'))^2}{2} \\
& - \frac{v_{pc}}{nL}\cdot\frac{\delta'^2}{2} \\
& - \frac{v_{pc}}{2nL}\cdot\frac{(T_5-(T_4+\delta'))^2}{2} \\
& + \frac{1}{L}\left(-\frac{v_{bat}}{2}-\frac{v_{pc}}{2n}\right)\cdot\frac{\delta'^2}{2} \\
& + \frac{1}{L}\left(-\frac{v_{bat}}{2}+\frac{v_{pc}}{n}\right)\cdot\frac{(T_8-(T_7+\delta'))^2}{2}\Bigg)
\end{aligned}
\tag{4.29}
$$

Estos sistemas presentan en total tres variables principales: v_{bat}, v_{pc}, y δ (o δ' dependiendo del caso). Las ecuaciones obtenidas demuestran cómo estas variables interactúan de manera compleja en las distintas etapas del ciclo de conmutación. Las múltiples interacciones entre las variables, junto con las integrales cuadráticas resultantes, indican que el comportamiento del sistema es claramente no lineal.

4.1.5. Obtención de modelo lineal

Dado que la no linealidad introduce complejidades en el análisis y el control del sistema, una estrategia común es proceder con una linealización del modelo. La linealización permite aproximar el comportamiento del sistema alrededor de un punto de operación específico, facilitando así el diseño de controladores y la predicción del comportamiento bajo pequeñas perturbaciones. Este enfoque simplifica el análisis sin perder la esencia de la dinámica del sistema, permitiendo un entendimiento más manejable de su respuesta ante variaciones en v_{bat}, v_{pc}, y δ, recordando que estos son el voltaje de entrada, salida y el desfase respectivamente.

En este contexto, se utilizarán las expresiones de $\bar{i}_{PC2_1}$ y $\bar{i}_{PC2_2}$, ya que son las que modelan la corriente en la salida del sistema. Para linealizar estas expresiones, primero es necesario identificar un punto de operación.

Dado que los demás valores son ya conocidos o forman parte intrínseca del sistema, no es necesario analizarlos exhaustivamente para el proceso de linealización.

Bajo estas condiciones, las corrientes $\bar{i}_{PC2_1}$ y $\bar{i}_{PC2_2}$ se pueden expresar de la siguiente forma linealizada:

$$\Delta\bar{i}_{PC2} = K_{\delta t} \cdot \Delta\delta_t + K_{Vbat} \cdot \Delta v_{bat} + K_{Vpc} \cdot \Delta v_{pc} \tag{4.30}$$

Se tiene que K_{Vbat} y K_{Vpc} son las constantes de los voltajes de entrada y salida respectivamente. La constante $K_{\delta t}$ está asociada a un desfase temporal, para normalizarla y que sea parte de un desfase angular, se realiza la siguiente transformación:

$$\Delta\delta_a = \Delta\delta_t \cdot 2\pi f_s \tag{4.31}$$

Por lo tanto, la constante K_δ en términos del desfase angular se expresa como:

$$K_\delta = K_{\delta t} \cdot (2\pi f_s) \tag{4.32}$$

De esta manera, K_δ representa el coeficiente linealizado correspondiente al desfase angular en lugar del desfase temporal, quedando así la ecuación:

$$\Delta\bar{i}_{PC2} = K_\delta \cdot \Delta\delta_a + K_{Vbat} \cdot \Delta v_{bat} + K_{Vpc} \cdot \Delta v_{pc} \tag{4.33}$$

4.1.5.1. Función de transferencia

Revisando la ecuación en la salida del convertidor, se tiene que:

$$\Delta\bar{i}_{PC2} = i_{dc} + i_o \tag{4.34}$$

Además, se puede escribir:

$$\Delta\bar{i}_{PC2} = C_{dc}\frac{dv_{pc}}{dt} + i_o \tag{4.35}$$

utilizando la ecuación (2.5) se puede obtener la capacitancia aparente considerar la corriente de la carga i_o como una perturbación, se obtiene:

$$\Delta\bar{i}_{PC2} = C_{dc}\frac{dv_{pc}}{dt} \tag{4.36}$$

Reescribiendo la ecuación en términos de las constantes linealizadas:

$$K_\delta \cdot \Delta\delta_a + K_{Vbat} \cdot \Delta v_{bat} + K_{Vpc} \cdot \Delta v_{pc} = C_{dc}\frac{dv_{pc}}{dt} \tag{4.37}$$

considerando también $K_{Vbat} \cdot \Delta v_{bat}$ como una perturbación, la ecuación en el dominio de Laplace se convierte en:

$$K_\delta \cdot \Delta\delta_{\text{ang}} + K_{Vpc} \cdot \Delta v_{pc} = C_{dc} s \Delta v_{pc} \tag{4.38}$$

Finalmente, se obtiene la relación:

$$\frac{\Delta v_{pc}}{\Delta\delta_a} = \frac{K_\delta}{C_{dc}s - K_{Vpc}} \tag{4.39}$$

4.2. Modelo basado en series de Fourier

Tal como se analizó en el otro modelo, uno de los aspectos cruciales en estos sistemas es el análisis de las corrientes i_{pc}, dado que esta corriente contiene información valiosa sobre el ángulo de desfase del sistema.

Sin embargo, el proceso para obtener la ecuación que modela i_{pc1} e i_{pc2} involucra una cantidad significativa de pasos debido a la complejidad del sistema y la gran cantidad de estados posibles (16 en total). Estos múltiples estados son consecuencia del comportamiento conmutado del sistema, lo que hace que las formas de onda asociadas a conmutaciones sean difíciles de expresar y analizar, además de no presentar un carácter lineal.

Para simplificar este análisis, se puede utilizar las series de Fourier como una aproximación de los interruptores. La transformada de Fourier es una herramienta matemática poderosa que permite descomponer una señal en una serie infinita de senos y cosenos, facilitando el análisis de señales complejas al estudiar sus componentes en frecuencia.

4.2.1. Series de Fourier y Obtención de Coeficientes

La serie de Fourier permite descomponer cualquier señal periódica en una suma infinita de funciones seno y coseno, cada una con una frecuencia específica. Esta descomposición es crucial para entender cómo diferentes frecuencias contribuyen a la forma de onda de una señal.

Para una función periódica $f(t)$ con un período T, la serie de Fourier se expresa como:

$$f(t) = a_0 + \sum_{k=1}^{\infty} \left(a_k \cos\left(\frac{2\pi kt}{T}\right) + b_k \sin\left(\frac{2\pi kt}{T}\right) \right) \tag{4.40}$$

Los coeficientes a_k y b_k, que determinan la amplitud de cada componente seno y coseno, se obtienen mediante las siguientes integrales:

$$a_0 = \frac{1}{T} \int_0^T f(t)\, dt \tag{4.41}$$

$$a_k = \frac{2}{T} \int_0^T f(t) \cos\left(\frac{2\pi kt}{T}\right) dt \tag{4.42}$$

$$b_k = \frac{2}{T} \int_0^T f(t) \sin\left(\frac{2\pi kt}{T}\right) dt \tag{4.43}$$

El coeficiente a_0 representa la componente de corriente continua de la señal, mientras que a_k y b_k representan las amplitudes de las componentes cosenoidales y senoidales de la señal, respectivamente.

Aplicando la serie de Fourier a las formas de onda de los interruptores en el sistema, podemos aproximar y analizar su comportamiento en el dominio de la frecuencia, lo que simplifica significativamente el modelado del sistema y facilita el diseño de estrategias de control.

4.2.2. Definición de las funciones S_1, S_4, S_5 y S_8

Las funciones $S_1(t,T)$, $S_4(t,T)$, $S_5(t,T)$ y $S_8(t,T)$ representan señales de conmutación definidas como funciones a tramos. Estas funciones son fundamentales para modelar el sistema tal como se ve en la ecuación (3.3), y se definen de la siguiente manera:

$$S_1(t,T) = \begin{cases} 1 & \text{si } \frac{T}{8} < t < \frac{4T}{8} \\ 0 & \text{en otro caso} \end{cases} \tag{4.44}$$

$$S_4(t,T) = \begin{cases} 1 & \text{si } \frac{5T}{8} < t < T \\ 0 & \text{en otro caso} \end{cases} \tag{4.45}$$

$$S_5(t,T) = \begin{cases} 1 & \text{si } \frac{6T}{8} < t < \frac{7T}{8} \\ 0 & \text{en otro caso} \end{cases} \tag{4.46}$$

$$S_8(t,T) = \begin{cases} 1 & \text{si } \frac{2T}{8} < t < \frac{3T}{8} \\ 0 & \text{en otro caso} \end{cases} \tag{4.47}$$

4.2.2.1. Cálculo de los coeficientes A_0, A_k y B_k

Los coeficientes A_0, A_k y B_k de la serie de Fourier se obtienen a partir de las funciones de conmutación S_1, S_4, S_5, y S_8. El coeficiente A_0 representa la componente de corriente continua (DC) de la señal, mientras que los coeficientes A_k y B_k describen las amplitudes de las componentes seno (sin) y coseno (cos), respectivamente. Estos coeficientes se expresan de la siguiente manera:

$$A_0^{S1} = \frac{3}{8} \tag{4.48}$$

$$A_k^{S1} = -\frac{\sin\left(\frac{k\pi}{4}\right) - \sin(k\pi)}{k\pi} \tag{4.49}$$

$$B_k^{S1} = \frac{\cos\left(\frac{k\pi}{4}\right) - \cos(k\pi)}{k\pi} \tag{4.50}$$

$$A_0^{S4} = \frac{3}{8} \tag{4.51}$$

$$A_k^{S4} = -\frac{\sin\left(\frac{5k\pi}{4}\right) - \sin(2k\pi)}{k\pi} \tag{4.52}$$

$$B_k^{S4} = \frac{\cos\left(\frac{5k\pi}{4}\right) - \cos(2k\pi)}{k\pi} \tag{4.53}$$

$$A_0^{S5} = \frac{1}{8} \tag{4.54}$$

$$A_k^{S5} = -\frac{\sin\left(\frac{3k\pi}{2}\right) - \sin\left(\frac{7k\pi}{4}\right)}{k\pi} \tag{4.55}$$

$$B_k^{S5} = \frac{\cos\left(\frac{3k\pi}{2}\right) - \cos\left(\frac{7k\pi}{4}\right)}{k\pi} \tag{4.56}$$

$$A_0^{S8} = \frac{1}{8} \tag{4.57}$$

$$A_k^{S8} = -\frac{\sin\left(\frac{k\pi}{2}\right) - \sin\left(\frac{3k\pi}{4}\right)}{k\pi} \tag{4.58}$$

$$B_k^{S8} = \frac{\cos\left(\frac{k\pi}{2}\right) - \cos\left(\frac{3k\pi}{4}\right)}{k\pi} \tag{4.59}$$

4.2.3. Representación de la variable en el lado alterno

El voltaje en el primario, v_{pri}, se puede expresar en términos de sus componentes A_k y B_k de la siguiente manera:

$$V_{Ak}^{pri} = \left(\frac{v_{bat}}{2}\right)\left(A_k^{S1} - A_k^{S4} + A_k^{S8} - A_k^{S5}\right)\cos\left(\frac{2\pi kt}{T}\right) \tag{4.60}$$

$$V_{Bk}^{pri} = \left(\frac{v_{bat}}{2}\right)\left(B_k^{S1} - B_k^{S4} + B_k^{S8} - B_k^{S5}\right)\sin\left(\frac{2\pi kt}{T}\right) \tag{4.61}$$

$$V_k^{pri} = V_{Ak}^{pri} + V_{Bk}^{pri} \tag{4.62}$$

Para derivar el voltaje en el secundario, v_{sec}, se observa que este se obtiene a partir del desfase temporal de las componentes del voltaje en el primario. Considerando un desfase temporal t_d, podemos expresar una función desplazada $f(t - t_d)$ en términos de su serie de Fourier.

$$f(t - t_d) = \sum_{k=1}^{\infty}\left[A_k\cos\left(\frac{2\pi kt}{T} - k\omega t_d\right) + B_k\sin\left(\frac{2\pi kt}{T} - k\omega t_d\right)\right] \tag{4.63}$$

Donde $\omega = \frac{2\pi}{T}$ es la frecuencia angular fundamental. Al se pueden analizar los términos senoidales y cosenoidales de la siguiente manera:

$$A_k \cos\left(\frac{2\pi kt}{T} - k\omega t_d\right) = A_k \cos\left(\frac{2\pi kt}{T}\right)\cos(k\omega t_d) + A_k \sin\left(\frac{2\pi kt}{T}\right)\sin(k\omega t_d) \tag{4.64}$$

$$B_k \sin\left(\frac{2\pi kt}{T} - k\omega t_d\right) = B_k \sin\left(\frac{2\pi kt}{T}\right)\cos(k\omega t_d) - B_k \cos\left(\frac{2\pi kt}{T}\right)\sin(k\omega t_d) \tag{4.65}$$

Ahora, cambiando el desfase temporal t_d a un desfase angular d, se tiene:

$$A_k \cos\left(\frac{2\pi kt}{T} + kd\right) = A_k \cos\left(\frac{2\pi kt}{T}\right)\cos(kd) - A_k \sin\left(\frac{2\pi kt}{T}\right)\sin(kd) \tag{4.66}$$

$$B_k \sin\left(\frac{2\pi kt}{T} + kd\right) = B_k \sin\left(\frac{2\pi kt}{T}\right)\cos(kd) + B_k \cos\left(\frac{2\pi kt}{T}\right)\sin(kd) \tag{4.67}$$

Finalmente, aplicando lo obtenido en (4.66) y (4.67) y adaptándolo cumplir lo descrito en la ecuación (3.4) se tiene:

$$\begin{aligned} V_{Ak}^{sec} &= \left(\frac{v_{pc}}{2}\right)\cos\left(\frac{2\pi kt}{T}\right)\left[\left(A_k^{S1} - A_k^{S4} + A_k^{S8} - A_k^{S5}\right)\cos(kd) - \left(B_k^{S1} - B_k^{S4} + B_k^{S8} - B_k^{S5}\right)\sin(kd)\right] \\ V_{Bk}^{sec} &= \left(\frac{v_{pc}}{2}\right)\sin\left(\frac{2\pi kt}{T}\right)\left[\left(B_k^{S1} - B_k^{S4} + B_k^{S8} - B_k^{S5}\right)\cos(kd) + \left(A_k^{S1} - A_k^{S4} + A_k^{S8} - A_k^{S5}\right)\sin(kd)\right] \end{aligned} \tag{4.68}$$

Finalmente, el voltaje total en el secundario se puede expresar como:

$$V_k^{sec} = V_{Ak}^{sec} + V_{Bk}^{sec} \tag{4.69}$$

Finalmente, las integrales de estos voltajes son:

$$V_{int}^{pri} = \int_0^T V_k^{pri}\, dt \tag{4.70}$$

$$V_{int}^{sec} = \int_0^T V_k^{sec}\, dt \tag{4.71}$$

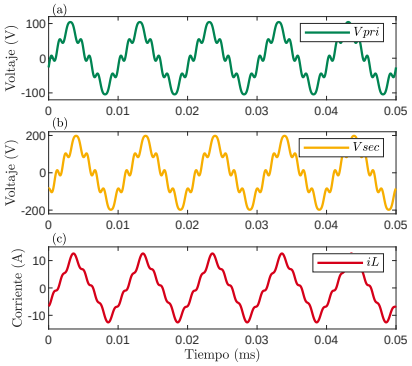
La corriente i_L se obtiene a partir de estas integrales:

$$i_L^{pri} = \frac{1}{L}\left(V_{int}^{pri} - \frac{V_{int}^{sec}}{n}\right) \tag{4.72}$$

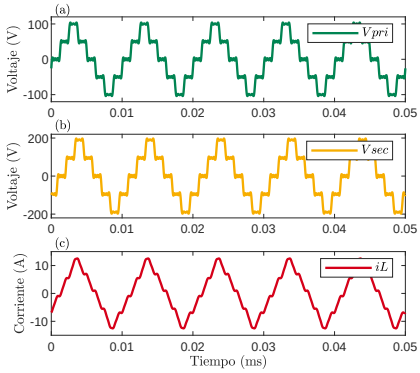
Después de integrar, la corriente i_L^{pri} se expresa como:

$$\frac{16T\cos\left(\frac{k\pi}{8}\right)^3\cos\left(\frac{k\pi}{4}\right)\left(n\,v_{bat}\cos\left(k\pi\left(\frac{9}{8}-\frac{2t}{T}\right)\right)-v_{pc}\cos\left(k\left(d+\frac{9\pi}{8}-\frac{2\pi t}{T}\right)\right)\right)\sin\left(\frac{k\pi}{8}\right)^2}{Lk^2\pi^2n} \tag{4.73}$$

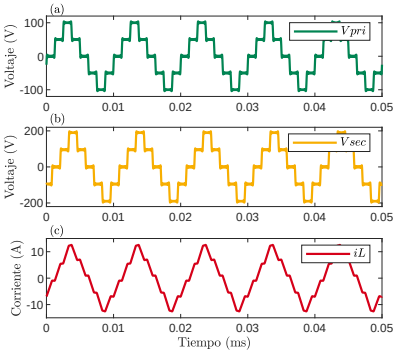
Donde se tiene que v_{bat} es el voltaje de entrada, v_{pc} voltaje de salida, T es el periodo, n el numero de vuelta, L la inductancia, d es el desfase angular y k es el armónico asociado.



(a) 10 armónicos.



(b) 25 armónicos.



(c) 50 armónicos.

Figura 4.7: Gráficos generados utilizando Wolfram Mathematica para las variables alternas del sistema, donde se tiene a diferentes sumas de armónicos, en cada gráfico se tiene a) voltaje en el primario , b) el voltaje en el secundario y c) la corriente del primario.

Como se observa en la Figura 4.7, el modelado armónico permite identificar cómo podría comportarse el sistema en función de diversas variables. En esta figura se utilizaron los siguientes parámetros: $v_{bat} = 100$ V, $v_{pc} = 190$ V, $r = 2$, $L = 6{,}5\,\mu H$, $T = 10$ μs y un desfase de $\pi/6$ rad.

Una de las particularidades observables es que, al utilizar un número de armónicos $k = 50$, las variables del sistema pueden ser representadas de forma casi directa, logrando una aproximación precisa del comportamiento que tendría el convertidor. Al comparar los resultados con 10, 25 y 50 armónicos, se observa que a partir de 25 armónicos, las señales mejoran notablemente en precisión, alcanzando una forma esperada al emplear 50 armónicos.

4.2.4. Obtención de i_{PC}

Una vez modelada la corriente en función de k, se puede proceder a realizar sumatorios desde $k = 1$ hasta un valor máximo que se estime conveniente pudiendo ser este $k = 25$ en adelante por lo obtenido en la Figura 4.7. Con la corriente ya obtenida y modelada como una función del desfase, el siguiente paso es realizar un análisis similar para las corrientes i_{PC1} y i_{PC1}.

Para el lado del primario, la corriente se expresa como:

$$i_{PC1} = (S_1 - S_5) \cdot i_L(t) \tag{4.74}$$

Y para el lado del secundario:

$$i_{PC2} = \frac{(S_9 - S_{13}) \cdot i_L(t)}{n} \tag{4.75}$$

Dado que estas expresiones representan multiplicaciones en el tiempo, es necesario transformar la señal del dominio de Fourier al dominio temporal. Sin embargo, al observar las ecuaciones de los coeficientes de la corriente, se puede notar la presencia de multiplicaciones que introducen no linealidades en el sistema.

Para abordar estas no linealidades, se procederá a linealizar el sistema, pero esto introduce otro desafío: la corriente resultante tendrá un carácter pulsante en lugar de ser constante. Para mitigar este efecto, se aplicará el mismo enfoque utilizado anteriormente, es decir, calcular el valor medio de i_{PC} y luego linealizarlo.

La diferencia clave en esta ocasión es que el valor del desfase ya no influye directamente en el modelo de la corriente, lo que simplificará el proceso de modelado y linealización.

4.2.5. Obtención de modelo lineal

Al realizar lo mismo que con el modelo de valor medio y dado que otros parámetros del sistema ya han sido discutidos o se consideran constantes, no es necesario un análisis exhaustivo de estos para la linealización en este contexto.

Bajo estas condiciones, la corriente $\bar{i}_{PC2}$ se puede expresar de manera linealizada como:

$$\Delta\bar{i}_{PC2} = K_{\delta t} \cdot \Delta\delta_t + K_{Vbat} \cdot \Delta v_{bat} + K_{Vpc} \cdot \Delta v_{pc} \tag{4.76}$$

Se tiene que K_{Vbat}, K_{Vpc} y K_δ son las constantes de los voltajes de entrada, voltaje de salida y desfase angular respectivamente.

4.2.6. Función de transferencia

Aplicando el mismo enfoque descrito anteriormente para obtener la función de transferencia, partimos de la ecuación en la salida del convertidor:

$$\Delta\bar{i}_{PC2} = i_{dc} + i_o \tag{4.77}$$

Lo cual también se puede expresar como:

$$\Delta\bar{i}_{PC2} = C_{dc}\frac{dv_{pc}}{dt} + i_o \tag{4.78}$$

Considerando i_o como una perturbación, se simplifica a:

$$\Delta\bar{i}_{PC2} = C_{dc}\frac{dv_{pc}}{dt} \tag{4.79}$$

Aplicando la transformada de La place finalmente se obtiene la relación:

$$\frac{\Delta v_{pc}}{\Delta\delta_a} = \frac{K_\delta}{C_{dc}s - K_{Vpc}} \tag{4.80}$$

4.3. Modelo para Convertidor FPC o PPC

Al emplear este modelo tanto para potencia parcial como para potencia completa, podrían existir variaciones que no serían significativas. La principal diferencia radicaría en los voltajes en el punto de operación, dado que ahora el voltaje de salida se define como:

$$v_{out} = v_{bat} + v_{pc} \tag{4.81}$$

En este caso, el voltaje del convertidor v_{pc} tendría un valor diferente, ya que solo se utilizaría una fracción del voltaje de salida requerido por el sistema. No obstante, la modalidad de potencia parcial puede entenderse como un ajuste que varía el voltaje en la salida sin modificar sustancialmente el comportamiento del sistema.

Además, en la Figura 2.7, la corriente de salida se denota como i_{bp}, que es análoga a i_o en el caso de potencia completa. Esto se debe a que, en términos de operación, se le exige al convertidor la misma corriente pero no el mismo voltaje. Estas diferencias en los voltajes podrían dar lugar a pequeñas variaciones en la corriente del primario, aunque estas no sean lo suficientemente significativas como para alterar el funcionamiento general del sistema.

Por lo tanto, parece razonable suponer que el modelo utilizado para potencia completa podría aplicarse también al caso de potencia parcial, aunque se requeriría un análisis más detallado para confirmar esta suposición.

Capítulo 5

RESULTADOS DE SIMULACIÓN

En el siguiente capítulo se consolidará el análisis del convertidor propuesto mediante una simulación que emulará el sistema. Se ha seleccionado el software de simulación *PLECS*, especializado en circuitos eléctricos. El semiconductor elegido es un GaN FET de Texas Instruments, específicamente el modelo LMG342xR030, ya que se cuenta con módulos que incorporan este dispositivo. Para el transformador, se emplearán los parámetros del HIMAG 80708 extraídos de [40].

La simulación incluirá un análisis térmico para determinar las pérdidas del convertidor y se detallará la implementación de la estrategia de modulación y control del sistema.

El estudio se enfocará en dos aspectos principales: la validación teórica del desempeño tanto del convertidor de potencia completa como del de potencia parcial, y el cálculo de la eficiencia del sistema para comparar ambas configuraciones del convertidor.

5.1. Esquemático

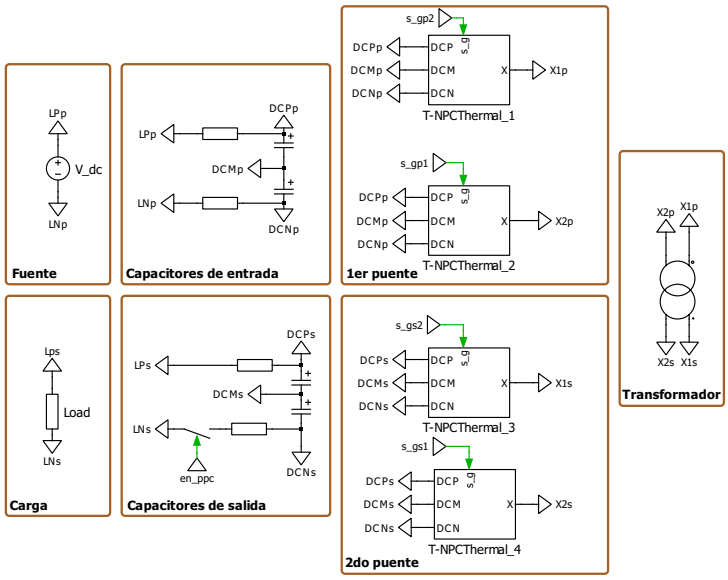


Figura 5.1: Esquemático del convertidor en PLECS.

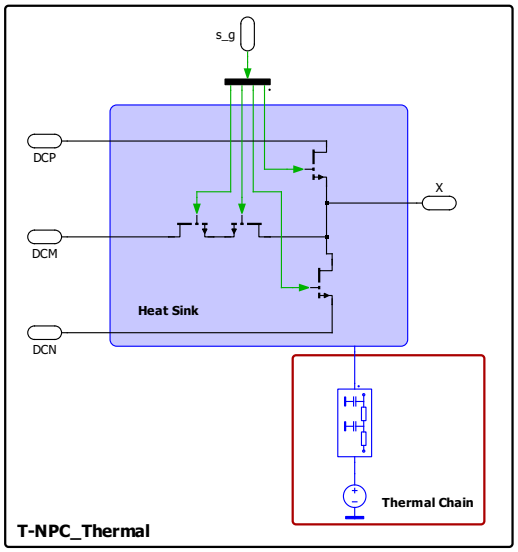


Figura 5.2: Esquemático de Convertidor T-type para análisis térmicos.

Como se muestra en la Figura 5.1, el convertidor T-type DAB se implementa con convertidores T-type en modo diferencial, en la Figura 5.2 se observan el esquema de los

distintos convertidores T-type usados en su forma diferencial. Se realizo la simulación para permitir transiciones entre modos de potencia completa y parcial tal como se observa en la variable *en_ppc* de la Figura 5.1. Se observa también en la Figura 5.2 el uso de simulaciones térmicas para hacer la simulación más parecida a lo experimental, ya que se modelan tanto el *Heat Sink* asociado a la disipación de calor que presentan los semiconductores como también la cadena térmica *Thermal Chain*, la cual incluye la temperatura ambiente esperada para los diferentes experimentos.

5.2. Parámetros de simulación

La simulación fue diseñada de tal manera que los componentes tanto activos como pasivos tengan un símil a la posterior validación experimental, así tener lo mas cercano de simulación a real.

Tabla 5.1: Parámetros y especificaciones del sistema.

Descripción	**Parámetro**	**Valor**
Parámetros generales		
Voltaje de entrada	v_{bat}	100 V
Capacitores del sistema	$C_{1,2,3,4}$	1000 µF
Frecuencia de conmutación	f_{sw}	100 kHz
Potencia máxima	P_{max}	900 W
Tiempo muerto de encendido	d_t	40 ns
Resistencia de pérdidas del DC Link	R_{ls}	1e-4 Ω
Especificaciones del LMG342xR030		
Voltaje máximo Drain-Source	V_{DS}	600 V
Corriente máxima Drain-Source	I_{DS}	25 A
Resistencia Drain-Source	$R_{DS(on)}$	26 mΩ (@ 25 °C)
Rango Temperatura de Juntura	T_j	[-40, 150] °C
Parámetros del transformador		
Relación de vueltas	$n = \frac{n2}{n1}$	2
Inductancia de fuga en el primario	L_{s_p}	6.5 µH
Resistencia del devanado primario	R_{s_p}	83 mΩ
Inductancia de magnetización	L_m	2.1 mH
Resistencia de pérdidas en el núcleo	R_m	80 Ω

5.3. Modulación y Control

La modulación implementada en PLECS sigue el esquema representado en la Figura 5.3.

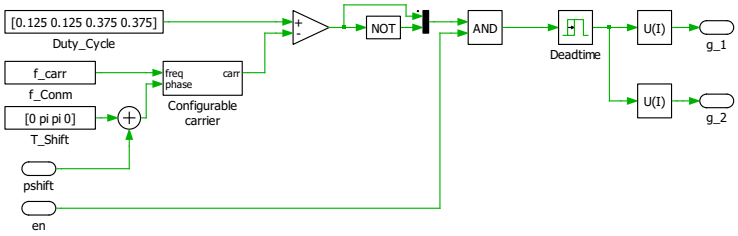


Figura 5.3: Esquemático de la modulación en PLECS.

Por un lado, la variable *Duty_Cycle* define el ciclo de trabajo de los semiconductores S_8, S_5, S_1 y S_4, respectivamente. En la Figura 3.6a del Capítulo 3 se observa la duración de estos periodos de encendido. Por otro lado, se introduce un desfase angular mediante el bloque *Configurable carrier*, el cual genera una señal triangular desplazada en fase según los ángulos definidos por *T_Shift* y con una frecuencia determinada por *f_Conm*. Al comparar esta señal con los anchos de pulso deseados, se generan los pulsos en las secuencias especificadas.

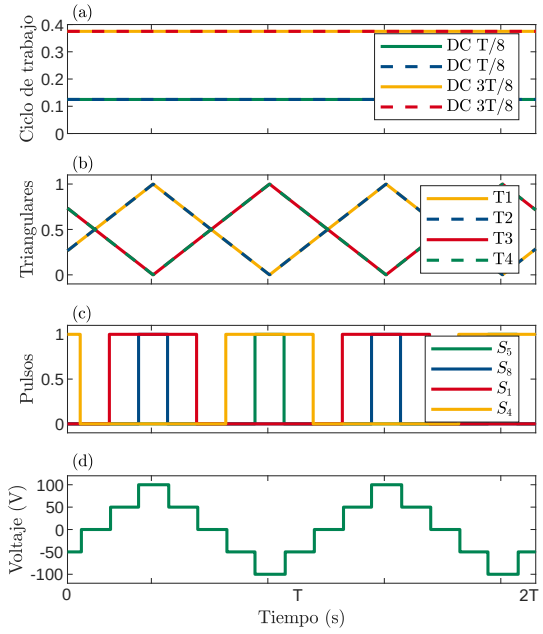


Figura 5.4: Modulación del sistema realizada en PLECS en 2 ciclos de conmutación, donde: a) Ciclo de trabajo, b) Señales triangulares asociadas, c) Señales lógicas generadas por la comparación de a) con b), y d) Voltaje en el primario.

En la Figura 5.4 se muestra cómo se establece la lógica de disparo de los semiconductores del puente H en el primario. Para los semiconductores de la pierna bidireccional, se observa en la Figura 3.6a del Capítulo 3 que estos pueden implementarse invirtiendo las señales generadas mediante un bloque *NOT*. Finalmente, se aplica un bloque de tiempo muerto, *Deadtime*, para ajustar las lógicas de encendido. Dependiendo del puente, se emplearán unas u otras señales, generando las salidas g_1 y g_2. Para generar las lógicas de disparo del segundo puente basta con introducir un desfase en la entrada *pshift* observada en la Figura 5.3, también se tiene la señal *enable* que habilita o deshabilita los pulsos de disparo.

El control, por su parte, se implementa utilizando un controlador PI, aprovechando el bloque incluido en PLECS.

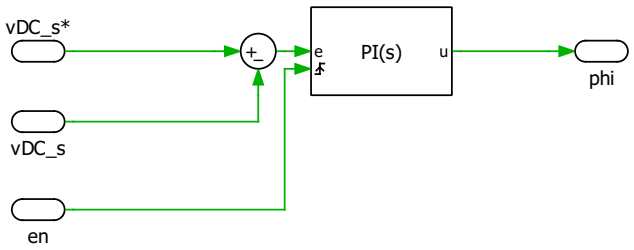


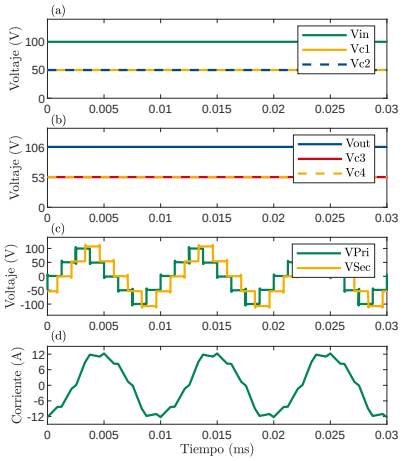
Figura 5.5: Esquemático del control en PLECS.

En la Figura 5.5 se tiene que la entrada *vDC_s** es la referencia de voltaje en la salida, *vDC_s* es la medición del voltaje en la salida y *en* es la señal que habilita o deshabilita el controlador. El controlador se configura con anti-enrollamiento de manera preventiva, la saturaciones asociadas unicamente serán asociadas al angulo de desfase, este angulo unicamente se puede mover entre 0 rad y $\pi/2$ rad, esto es para seguir con la misma lógica del DAB.

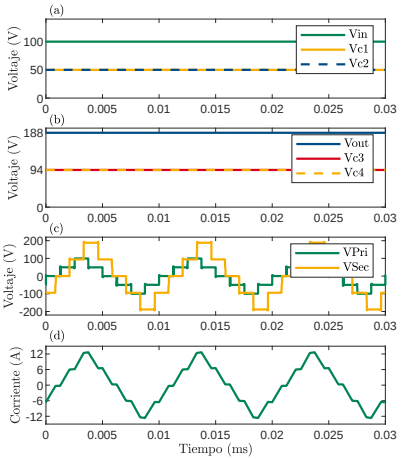
5.4. Simulación en lazo abierto

Para verificar el correcto funcionamiento del sistema, se realizarán pruebas en lazo abierto para observar las distintas variables del mismo.

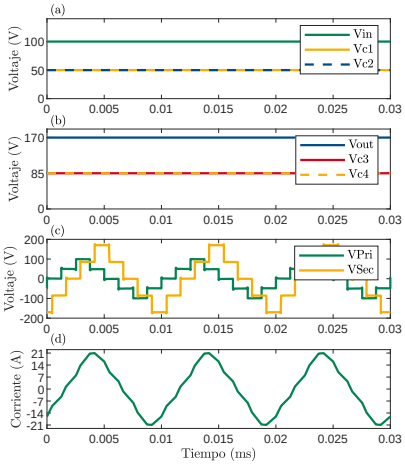
En las simulaciones se empleará un voltaje de entrada constante de 100 V, y se realizarán cuatro pruebas. En primer lugar, con un desfase de $\delta = \pi/6$ rad, se analizarán las formas de onda de las partes alternas y continuas del sistema bajo dos cargas: $R = 50\,\Omega$ y $R = 100\,\Omega$. Posteriormente, se repetirán las mismas variaciones de carga con un desfase de $\delta = \pi/3$ rad.



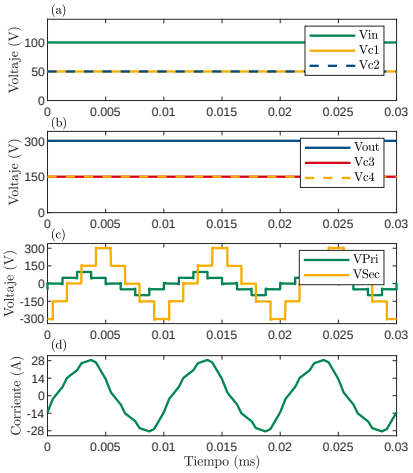
(a) Resultados lazo abierto con $v_{bat} = 100\,\text{V}$, $\delta = \pi/6$ rad y $R = 50\,\Omega$.



(b) Resultados lazo abierto con $v_{bat} = 100\,\text{V}$, $\delta = \pi/6$ rad y $R = 100\,\Omega$.



(c) Resultados lazo abierto con $v_{bat} = 100\,\text{V}$, $\delta = \pi/3$ rad y $R = 50\,\Omega$.



(d) Resultados lazo abierto con $v_{bat} = 100\,\text{V}$, $\delta = \pi/3$ rad y $R = 100\,\Omega$.

Figura 5.6: Resultados del sistema en lazo abierto con diferentes parámetros: a) Voltaje de entrada y voltaje en cada capacitor de entrada, b) Voltaje de salida y voltaje en cada capacitor de salida, c) Voltaje en el primario y secundario del transformador, y d) Corriente en el primario.

En las gráficas de la Figura 5.6 se observa el comportamiento general del sistema bajo variaciones en el desfase entre los puentes y diferentes cargas en la salida, manteniendo en todos los casos el mismo voltaje de entrada. En las Figuras 5.6c y 5.6a se aprecia que, con la misma carga pero diferentes desfases, el sistema produce distintos voltajes de salida, lo

que confirma que el desfase actúa como un mecanismo de control para ajustar el voltaje de salida según los requisitos.

En las Figuras 5.6c y 5.6d, al mantener el mismo desfase pero cambiar la carga, se observa una variación en los voltajes de salida, lo que indica que la carga del sistema introduce una perturbación que puede modificar el punto de operación.

Otra característica importante es el balance de los capacitores, demostrado en todas las pruebas realizadas. Esto es fundamental, ya que una variación en los valores de los capacitores podría llevar el sistema a estados indeseados.

Por último, en todas las figuras se aprecia el comportamiento del voltaje y la corriente. El nivel máximo de voltaje, tanto en el primario como en el secundario, es igual al voltaje en los lados DC del convertidor, conforme a lo propuesto en la modulación. Las corrientes alternas tienden a ser casi sinusoidales, aunque con un aspecto ligeramente triangular, lo cual se observa más claramente en la Figura 5.6b. Esto se debe a la modulación y a su naturaleza triangular.

5.5. Cálculo de los Controladores

Para determinar los parámetros del controlador PI, se utilizarán los resultados obtenidos en la prueba de lazo abierto. El punto de operación seleccionado corresponde al de la Figura 5.6b, con las siguientes condiciones:

Tabla 5.2: Punto de operación seleccionado y parámetros importantes.

Parámetro	**Símbolo**	**Valor**
Voltaje de entrada	v_{batQ}	100 V
Voltaje de salida	v_{pcQ}	188 V
Desfase	δ_Q	$\pi/6$ rad
Capacitancia aparente	C_{dc}	500 µF
Inductancia	L	6.5 µH
Frecuencia de conmutación	f	100 kHz
Relación de vueltas	N_t	0.5

Utilizando los dos modelos propuestos, se obtienen los siguientes parámetros de la planta:

Tabla 5.3: Parámetros de la planta para los modelos propuestos en simulación.

Modelo	K_δ	K_{V2}
Valor Medio	1.01216	-0.00200339
Fourier	3.46874	0.0106713

Se puede observar en la Tabla 5.3 la diferencia entre las dos plantas, ya que para un modelo la planta es estable (Fourier) y para la otra es inestable (Valor Medio). Para calcular los parámetros del controlador, se utilizará el software MATLAB para realizar un análisis de la planta mediante *root locus* y el diagrama de Bode, utilizando el comando *rltool*. Los criterios de diseño del controlador incluyen un coeficiente de amortiguación de $1/\sqrt{2}$ y un ancho de banda de 50 Hz para el lazo cerrado del sistema.

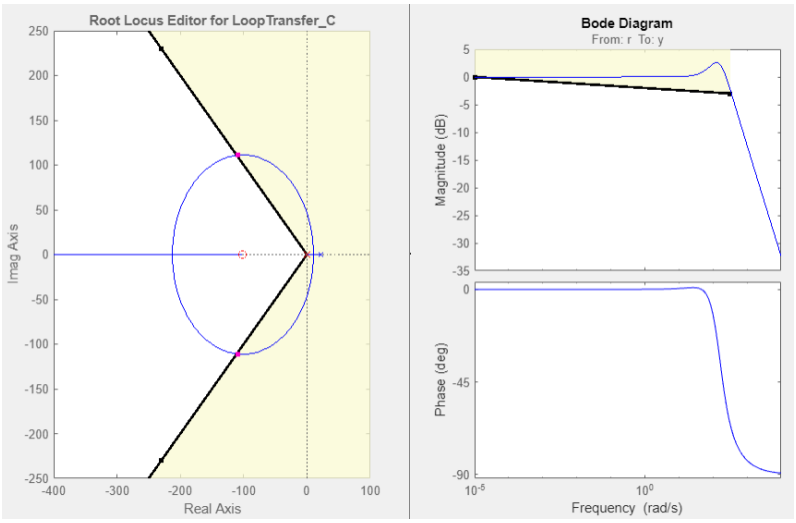


Figura 5.7: Root locus y diagrama de Bode para el modelo de Fourier.

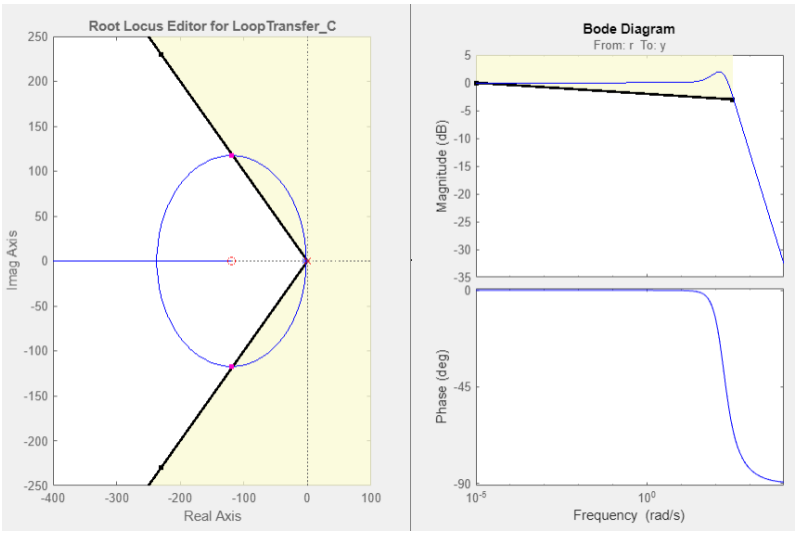


Figura 5.8: Root locus y diagrama de Bode para el modelo de Valor Medio.

Con los parámetros de diseño establecidos, se obtienen los siguientes valores para los controladores PI en los modelos de Fourier y de Valor Medio:

Tabla 5.4: Controladores PI diseñados para los modelos propuestos.

Modelo	K_p	K_i
Fourier	0.034681	3.51
Valor Medio	0.12794	16

En este diseño de control, no se ha incluido la suma del punto de operación en la actuación debido a que el sistema opera en condiciones variables, donde el punto de operación depende del voltaje de salida y de la potencia exigida. Dado que cualquier cambio en estos factores modifica el punto de operación, restringir el controlador a un único valor podría no ser adecuado. Esto permite una mayor flexibilidad y simplificación en la implementación, adaptando el control a un rango amplio de condiciones sin necesidad de ajustes adicionales.

5.6. Control del Convertidor en Modalidad de Potencia Completa

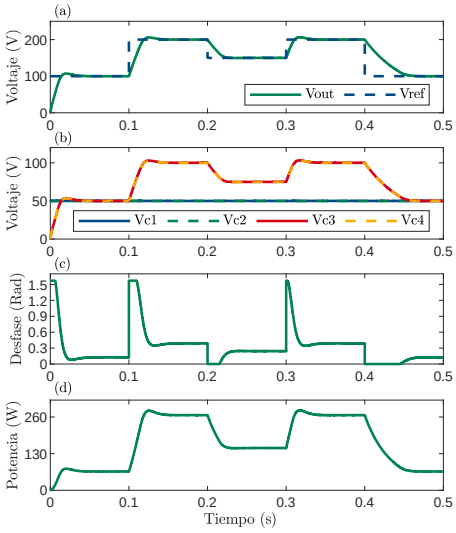
Con el sistema validado en lazo abierto, se realizaron pruebas en lazo cerrado, controlando el voltaje en la salida para demostrar la capacidad de control del sistema. El voltaje de entrada se mantuvo constante en 100 V, y se llevaron a cabo cuatro pruebas con cargas resistivas de 100 Ω y 150 Ω, utilizando los controladores diseñados a partir de los modelos de Fourier y de Valor Medio.

Durante las pruebas, se aplicaron variaciones en la referencia de voltaje de salida según la siguiente secuencia:

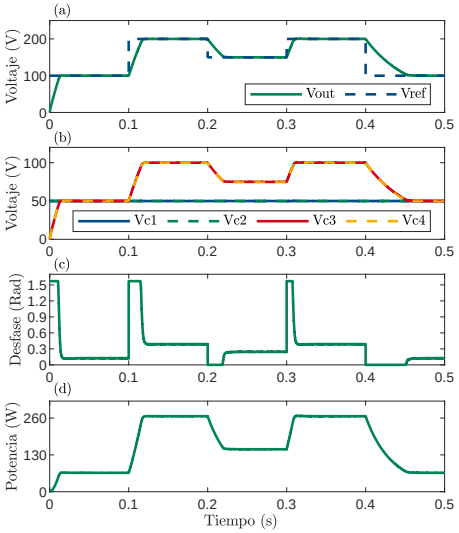
Tabla 5.5: Secuencia de variaciones de referencia en el voltaje de salida.

Tiempo (s)	**Voltaje de salida de Referencia (V)**
0.0	100
0.1	200
0.2	150
0.3	200
0.4	100

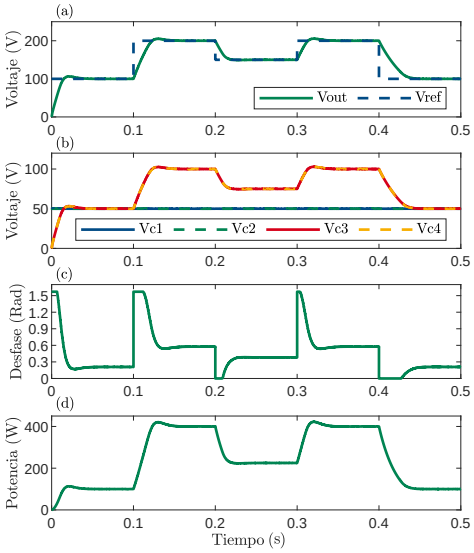
Esta secuencia de variaciones permite evaluar la respuesta dinámica del sistema y la capacidad de los controladores para mantener un seguimiento de la referencia bajo condiciones de operación variables



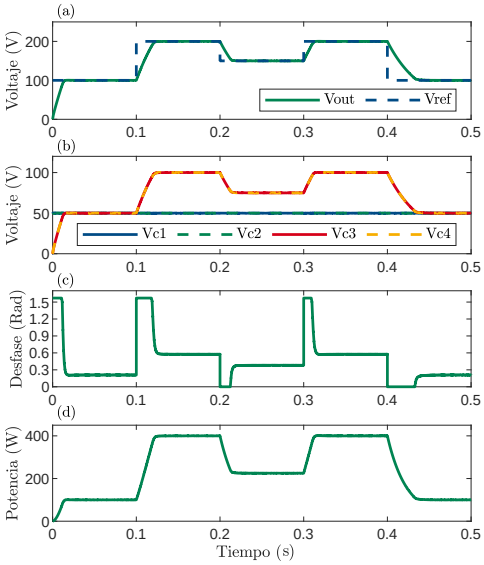
(a) Resultados de lazo cerrado con modelo de Fourier con R=150Ω.



(b) Resultados de lazo cerrado con modelo de Valor Medio con R=150Ω.



(c) Resultados de lazo cerrado con modelo de Fourier con R=100Ω.



(d) Resultados de lazo cerrado con modelo de Valor Medio con R=100Ω.

Figura 5.9: Resultados del sistema en lazo cerrado comparando ambos modelos con diferentes cargas resistivas, donde: a) Voltaje de referencia y voltaje medido en la salida, b) Voltaje en los capacitores C_1, C_2, C_3 y C_4, c) Desfase angular entre los puentes, d) Potencia en la salida.

Como se observa en las Figuras 5.9a y 5.9c, el controlador basado en el modelo de Fourier permite alcanzar el voltaje de referencia en la salida, aunque presenta un sobrepaso en la respuesta, lo que incrementa el tiempo de asentamiento. En ambas condiciones de carga (150 Ω y 100 Ω), el sistema mantiene la capacidad de control, pero el sobrepaso sigue presente debido a la sobreactuación inicial del controlador.

Por otro lado, en las Figuras 5.9b y 5.9d, se muestra el comportamiento del sistema utilizando el controlador diseñado a partir del modelo de Valor Medio. Este controlador permite un seguimiento más suave de la referencia sin sobrepaso, alcanzando la estabilidad de manera más rápida.

La diferencia en el desempeño de ambos controladores puede explicarse mediante los parámetros de planta presentados en la Tabla 5.3. Aunque el sistema es el mismo, los modelos de Fourier y de Valor Medio representan la dinámica de manera distinta. El modelo de Valor Medio incluye un polo dominante más rápido, lo que implica que el controlador diseñado con este modelo percibe el sistema como más ágil y no requiere sobre-actuación. En cambio, el controlador basado en el modelo de Fourier asume un sistema más lento, lo que resulta en una respuesta con sobrepaso debido a la sobre-actuación inicial.

En todas las pruebas, se observa que los voltajes en los capacitores C_1, C_2, C_3 y C_4 permanecen balanceados, incluso durante las transiciones. Este comportamiento asegura una operación estable del sistema bajo diferentes condiciones de referencia y carga, cumpliendo con el equilibrio necesario en la topología del convertidor.

En cuanto a la potencia de salida, se observó que el sistema responde como se esperaba en función del voltaje de salida y la resistencia de carga. Los valores de potencia para cada combinación de voltaje de salida y resistencia se detallan en la Tabla 5.6.

Tabla 5.6: Potencia de salida en función del voltaje de salida y la resistencia de carga.

Voltaje de Salida (V)	**Resistencia de Carga (Ω)**	**Potencia (W)**
100	150	66.67
200	150	266.67
150	150	150
100	100	100
200	100	400
150	100	225

5.6.1. Impacto de la Inductancia y Capacitancia en respuesta transitoria

Se puede observar en las distintas figuras de la Figura 5.9 que existe un transitorio notable cuando la actuación alcanza los puntos de saturación, ya sea en $\pi/2$ o 0 Rad. Este

fenómeno se debe a que el control no puede actuar en esos puntos debido a las limitaciones intrínsecas del sistema. El tiempo de demora en la dinámica está provocado principalmente por dos componentes del sistema: la inductancia de fuga del transformador y la capacitancia de los capacitores de salida.

Para demostrar este punto, se realizaron tres simulaciones adicionales bajo distintas configuraciones de inductancia y capacitancia. La primera simulación emplea una inductancia de $L = 6{,}5\,\mu$H y capacitores de 1000 μF en la salida, correspondientes a los resultados mostrados anteriormente. La segunda simulación utiliza $L = 3\,\mu$H y capacitores de 1000 μF en la salida, y la tercera simulación emplea $L = 3\,\mu$H y capacitores de 1500 μF en la salida. En cada simulación, se realiza una prueba en lazo cerrado con referencias de voltaje de salida de 100 V, 200 V y 150 V, aplicadas en los tiempos 0 s, 0.1 s y 0.2 s, respectivamente.

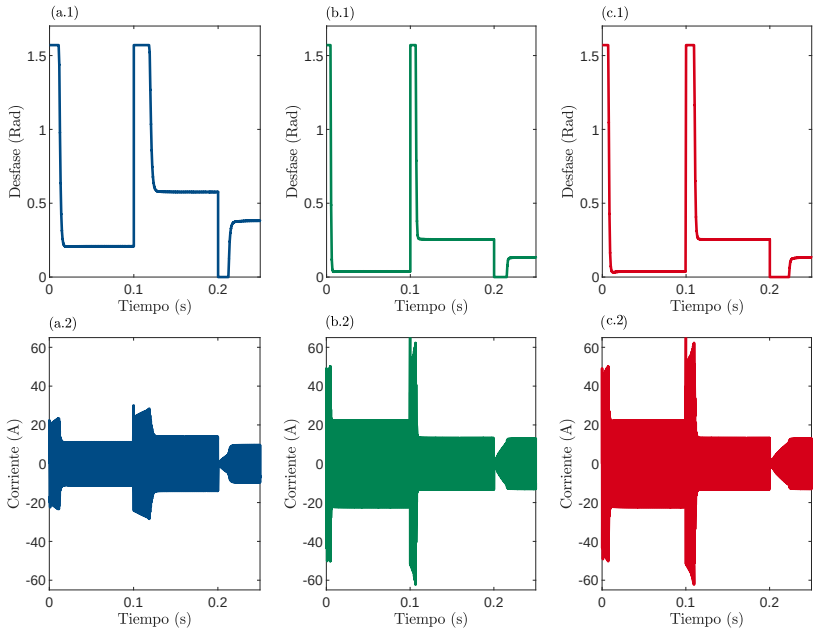


Figura 5.10: Resultados de simulación con variaciones en inductancia y capacitancia: a.1) Desfase y a.2) Corriente del primario con $L = 6{,}5\,\mu$H y $C = 1000\,\mu$F, b.1) Desfase y b.2) Corriente del primario con $L = 3\,\mu$H y $C = 1000\,\mu$F, c.1) Desfase y c.2) Corriente del primario con $L = 3\,\mu$H y $C = 1500\,\mu$F.

Como se observa en la Figura 5.10, los fenómenos de demora en la respuesta transitoria pueden explicarse principalmente por los factores inductivos y capacitivos nombrados anteriormente.

En cuanto a la inductancia, el efecto de su disminución se aprecia al comparar las Figuras

5.10a.2 y 5.10b.2. Según la ecuación que rige el lado alterno del transformador:

$$L\frac{di_L}{dt} = v_{pri} - \frac{v_{sec}}{n} \tag{5.1}$$

Al reducirse el valor de L, la amplitud de la corriente aumenta, permitiendo una carga más rápida del capacitor de salida. Este incremento en la corriente acelera el tiempo de asentamiento del sistema.

Por otro lado, el impacto de la capacitancia se observa al comparar las Figuras 5.10b.2 y 5.10c.2. En este caso, al aumentar la capacitancia y mantener la inductancia constante, el sistema tarda más en alcanzar el estado estacionario deseado, ya que un capacitor de mayor capacitancia requiere más tiempo para acumular la misma carga a un nivel de corriente constante provocando una mayor demora en el tiempo de asentamiento.

Un análisis final de la Figura 5.10 permite corroborar que la modificación en los valores de inductancia y capacitancia afecta directamente el punto de operación del sistema. Este fenómeno es visible en las gráficas de desfase en las Figuras 5.10a.1, 5.10b.1 y 5.10c.1, donde se observa una variación en la actuación del sistema ante cambios en la inductancia y capacitancia. Estos efectos están refuerzan el análisis presentado en el Capítulo 4.

5.7. Control del Convertidor en Modalidad de Potencia Parcial

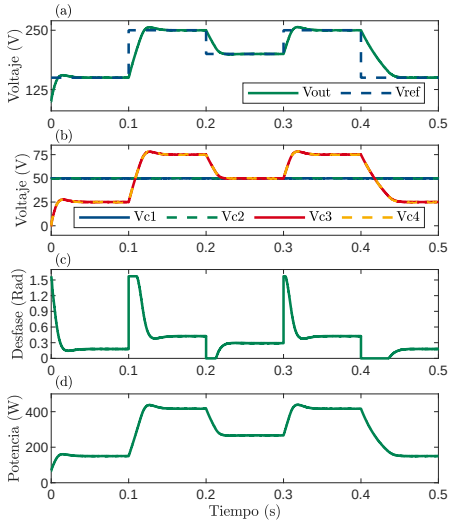
Con el sistema controlado en lazo cerrado en modalidad de potencia completa, se procede a realizar pruebas en la modalidad de potencia parcial para evaluar la capacidad del sistema bajo esta configuración. El voltaje de entrada se mantuvo constante en 100 V, y se llevaron a cabo pruebas con cargas resistivas de 100 Ω y 150 Ω, empleando los mismos controladores diseñados a partir de los modelos de Fourier y de Valor Medio.

Durante estas pruebas, se aplicaron variaciones en la referencia de voltaje de salida en la siguiente secuencia:

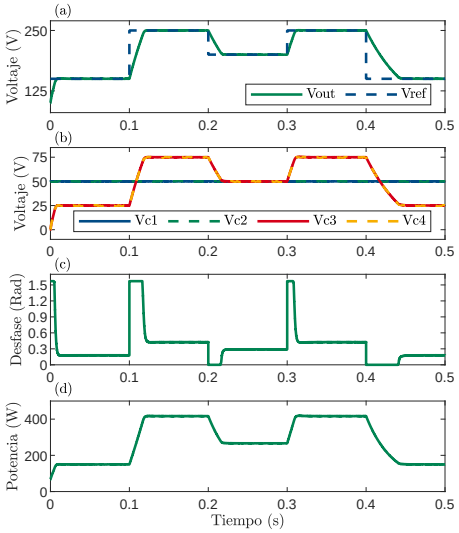
Tabla 5.7: Secuencia de variaciones de referencia en el voltaje de salida.

Tiempo (s)	**Voltaje de salida de Referencia (V)**
0.0	150
0.1	250
0.2	200
0.3	250
0.4	150

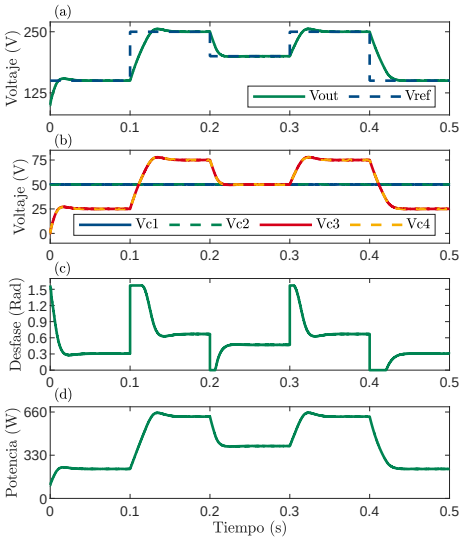
Esta secuencia de variaciones permite evaluar la respuesta dinámica del sistema en modalidad de potencia parcial, analizando la capacidad de los controladores para mantener un seguimiento de la referencia bajo diferentes niveles de operación.



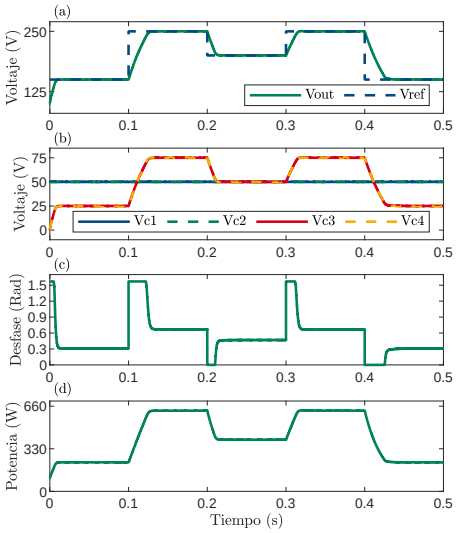
(a) Resultados de lazo cerrado en PPC con modelo de Fourier con R=150Ω.



(b) Resultados de lazo cerrado en PPC con modelo de Valor Medio con R=150Ω.



(c) Resultados de lazo cerrado en PPC con modelo de Fourier con R=100Ω.



(d) Resultados de lazo cerrado en PPC con modelo de Valor Medio con R=100Ω.

Figura 5.11: Resultados del sistema en lazo cerrado comparando ambos modelos con diferentes cargas resistivas, donde: a) Voltaje de referencia y voltaje medido en la salida, b) Voltaje en los capacitores C_1, C_2, C_3 y C_4, c) Desfase angular entre los puentes, d) Potencia en la salida.

El sistema se comporta de manera similar a su modalidad de potencia completa, incluso

en las dinámicas generadas, manteniendo el sobrepaso en la respuesta cuando se emplea el controlador basado en el modelo de Fourier, y una respuesta más suave con el controlador de Valor Medio. Esto indica que los mismos controladores pueden ser utilizados para ambas configuraciones del convertido.

La diferencia existente entre las dos formas de operación del convertidor yace que el voltaje de entrada de 100 V se suma al voltaje generado por el convertidor, lo que produce un desplazamiento en el punto de operación. Este efecto es evidente al comparar las Figuras 5.11a y 5.11c para el modelo de Fourier y las Figuras 5.11b y 5.11d para el modelo de Valor Medio.

Para corroborar este desplazamiento, se observa que durante el intervalo de tiempo entre 0.1 s y 0.2 s, el voltaje de salida alcanza una referencia de 250 V. En este intervalo, la suma de los voltajes en los capacitores V_{C3} y V_{C4} es de 150 V, lo que indica que los 100 V restantes corresponden al voltaje de entrada que se agrega a la salida total del sistema. Este comportamiento confirma que el sistema opera correctamente bajo modalidad de potencia parcial, ajustando el voltaje de salida en función de la referencia.

En todas las pruebas, se mantiene el balance en los voltajes de los capacitores C_1, C_2, C_3 y C_4, incluso durante las transiciones. Este balance asegura una operación estable del sistema, permitiendo una respuesta consistente en ambas modalidades de operación.

5.7.1. Coeficiente de Parcialidad

En el Capítulo 2, se introdujo el concepto del coeficiente de parcialidad k_{bp} como una forma de describir cómo se distribuye la potencia en el sistema. Este coeficiente nos proporciona información sobre la fracción de potencia que fluye directamente desde la batería a la carga y la que es procesada por el convertidor.

Como se detalló anteriormente, al asumir un sistema ideal sin pérdidas, se puede establecer una relación directa entre la potencia de entrada y salida del convertidor mediante la ecuación:

$$\underbrace{v_{bat} \cdot i_{pc}}_{P_{pcin}} = \underbrace{v_{pc} \cdot i_{bp}}_{P_{pcout}} \tag{5.2}$$

A partir de esta relación, se definió el coeficiente de parcialidad k_{bp}, que permite expresar las relaciones entre los voltajes y corrientes como:

$$k_{bp} = \frac{v_{bat}}{v_{pc}} = \frac{i_{bp}}{i_{pc}} \tag{5.3}$$

El propósito de este coeficiente es simplificar el análisis de cómo se distribuyen las potencias dentro del sistema, facilitando el diseño del controlador al enfocarse en la relación entre el desfase y el voltaje de salida. De esta forma, la potencia total puede descomponerse

en componentes procesadas por el convertidor (P_{pc}) y las que fluyen directamente (P_{bp}).

La expresión general para la potencia total en la carga es:

$$P_{out} = P_{pc} + P_{bp} \implies P_{out} = P_{pc} + k_{bp} \cdot P_{pc} \tag{5.4}$$

Esto lleva a las ecuaciones derivadas que permiten calcular tanto la potencia procesada como la directa:

$$P_{pc} = \frac{P_{out}}{1 + k_{bp}}, \qquad P_{bp} = \frac{k_{bp} \cdot P_{out}}{1 + k_{bp}} \tag{5.5}$$

Para evaluar el comportamiento del coeficiente de parcialidad en el sistema, se realiza una simulación en la cual se establece una referencia de 150 V en la salida, la cual cambia a 250 V en el tiempo 0.1 s. Durante esta prueba se utilizó una fuente de corriente con valor inicial de 2 A, cambiando a 3 A en el tiempo 0.2 s.

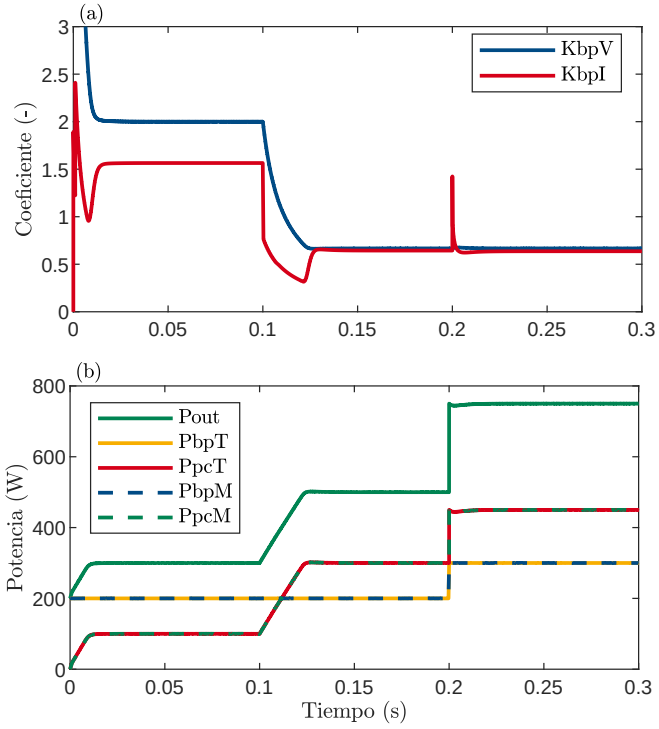


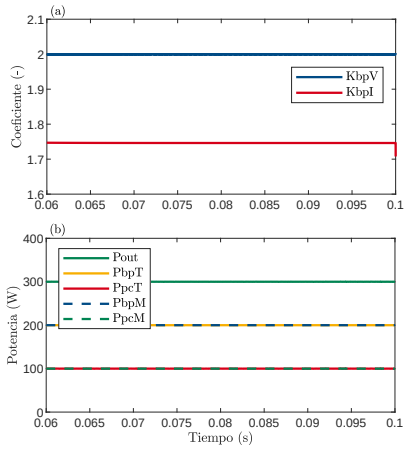
Figura 5.12: Análisis del coeficiente de parcialidad y validación de las potencias en modalidad parcial, donde: a) Coeficientes K_{bpV} y K_{bpI}, b) Potencias en la carga P_{out} medida, potencia procesada teórica P_{pcT}, potencia directa teórica P_{bpT}, potencia procesada medida P_{pcM} y potencia directa medida P_{bpM}.

En la Figura 5.12, el gráfico (a) muestra los coeficientes de parcialidad K_{bpV} y K_{bpI}, calculados en función del tiempo, mientras que el gráfico (b) representa las potencias de salida teórica y medida bajo distintas condiciones de carga.

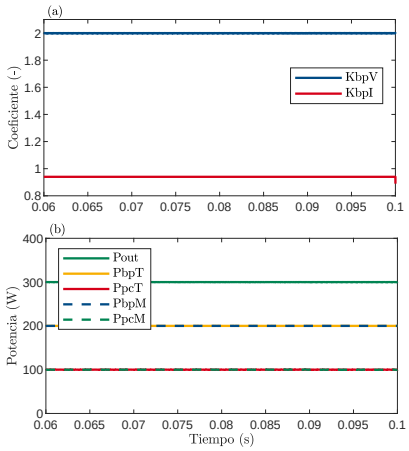
En una primera etapa, cuando la potencia de salida se estabiliza en aproximadamente 300 W, se observa una diferencia entre los coeficientes K_{bpV} (basado en voltaje) y K_{bpI} (basado en corriente). Sin embargo, tanto las potencias teóricas como las medidas coinciden. Esto se debe a que, al realizar el cálculo y análisis de potencia, se utilizan los valores de la potencia de salida del convertidor. Tal como se observó en la ecuación (2.11), para realizar el análisis correcto con la potencia de salida, se debería emplear el coeficiente K_{bpV}. En una segunda etapa, cuando la potencia de salida se incrementa a 500 W, los coeficientes y las potencias convergen sin presentar diferencias. Esta convergencia también se mantiene al exigir una potencia aún mayor, lo cual sugiere que al aumentar el desfase y la corriente demandada, se logra la igualdad en los coeficientes de parcialidad.

La discrepancia inicial entre K_{bpV} y K_{bpI} puede explicarse por la estabilidad inherente de K_{bpV}, mientras que K_{bpI} muestra variaciones más bruscas debido a las fluctuaciones de corriente en el sistema. Si se utilizara K_{bpI} en lugar de K_{bpV}, podrían surgir discrepancias entre los valores teóricos y medidos de potencia. Esto debido a las mismas ecuaciones dadas por (2.11) y (2.12) donde por un lado se ocupa la potencia de salida y por el otro la potencia de entrada del convertidor, por lo que en puntos de operación con baja eficiencia estos no van a ser iguales.

En la Figura 5.13, se presentan resultados adiciones de los coeficientes de parcialidad K_{bp} con dos valores de inductancia de fuga: $L = 10\,\mu$H y $L = 3\,\mu$H en condiciones de 300 W de potencia. Se observa que, a medida que aumenta la inductancia, el coeficiente de parcialidad tienden a alcanzar un mismo valor estacionario. Esto se debe a que, al incrementar la inductancia, la eficiencia disminuye significativamente y la transferencia de potencia se vuelve casi nula, lo que provoca que la corriente i_{pc} sea menor, y en consecuencia, k_{bpI} aumente. Al reducir la inductancia, pasa lo contrario, existe un flujo de potencia, pero en un punto de baja eficiencia, por lo que se tiene una corriente i_{pc} mayor, pero no así un eficiencia correcta, es por esto de esa diferencia obtenida.



(a) Resultados de coeficiente de parcialidad con $L = 10\,\mu$H y potencia de 300 W.



(b) Resultados de coeficiente de parcialidad con $L = 3\,\mu$H y potencia de 300 W.

Figura 5.13: Análisis del coeficiente de parcialidad con diferentes inductancias de fuga, donde: a) Coeficientes K_{bpV} y K_{bpI}, y b) Potencias de salida P_{out}, potencia procesada teórica P_{pcT}, potencia directa teórica P_{bpT}, potencia procesada medida P_{pcM}, y potencia directa medida P_{bpM}.

5.8. Comparación de Eficiencia en Potencia Completa y Parcial

Para comparar la eficiencia entre los modos de potencia completa y potencia parcial, se analizará la corriente RMS en el inductor a distintos niveles de voltaje en la salida.

Para minimizar la corriente RMS y reducir las pérdidas, la relación entre el voltaje de entrada V_{in} y el producto del voltaje de salida V_{out} con el factor de transformación n se relacionan de la siguiente forma [41]:

$$\frac{V_{out}}{V_{in} \cdot n} = 1 \tag{5.6}$$

En el modo FPC, con un transformador de relación 1:2 ($n = 2$) y un voltaje de entrada de 100 V, el voltaje óptimo de salida para minimizar la corriente RMS es:

$$V_{out} = n \cdot V_{in} = 2 \cdot 100\,\text{V} = 200\,\text{V} \tag{5.7}$$

Esto indica que en FPC el voltaje de 200 V minimiza la corriente RMS y reduce las pérdidas. Por otro lado, en PPC IPOS, al sumarse el voltaje de entrada al voltaje procesado por el convertidor, el voltaje óptimo de salida es:

$$V_{out} = (1+n) \cdot V_{in} = (1+2) \cdot 100\,\text{V} = 300\,\text{V} \tag{5.8}$$

Por lo que para el modo PPC sería más adecuado para 300 V, mientras que para el modo FPC lo sería para 200 V.

Para comparar el desempeño de ambos modos, se han elegido 200 V y 250 V en la carga, manteniendo $V_{in} = 100\,\text{V}$. En PPC, el convertidor procesará solo 100 V y 150 V, respectivamente, mientras que en FPC deberá procesar la totalidad del voltaje de salida. El valor de 250 V se selecciona como un punto intermedio representativo entre los niveles óptimos teóricos de 200 V para FPC y 300 V para PPC, lo que permite una comparación balanceada entre ambos modos. Además, se incluye el caso de 200 V como referencia adicional en condiciones específicas.

Para calcular la eficiencia del sistema, se tuvieron en cuenta las pérdidas asociadas a los semiconductores, ya que estos presentan pérdidas principalmente por conmutación como por conducción, además de las pérdidas debidas a los elementos disipativos del sistema asociadas a resistencias. Con esto, se tiene la ecuación de eficiencia:

$$\eta = \frac{P_{in} - (P_{cm} + P_{cd} + P_r)}{P_{in}} \times 100\,\% \tag{5.9}$$

Donde P_{in} es la potencia de entrada, P_{cm} representa las pérdidas por conmutación de todos los semiconductores del sistema, P_{cd} corresponde a las pérdidas por conducción de todos los semiconductores, y P_r son las pérdidas relacionadas con los elementos resistivos presentes en el convertidor.

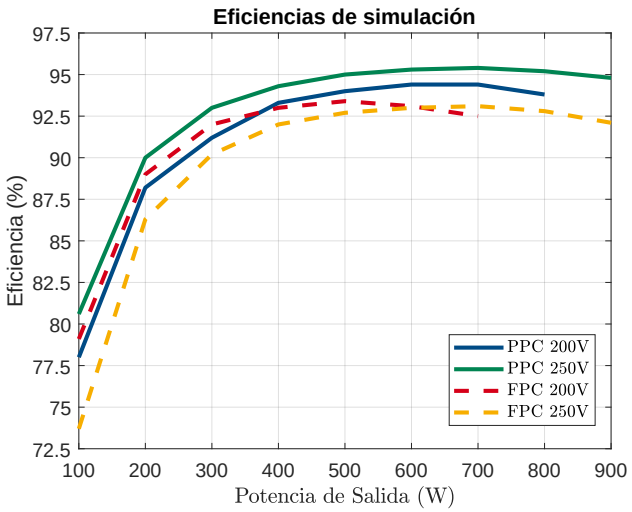


Figura 5.14: Comparación de eficiencia en los modos FPC Y PPC para distintos niveles de voltaje de salida y potencia en la carga.

En la Figura 5.14, se observa que el modo de potencia parcial a 250 V logra una eficiencia superior, alcanzando un valor máximo de 95.4 % a una potencia de 700 W. Este comportamiento se explica por la capacidad del modo parcial de reducir las pérdidas por conducción y conmutación, ya que el convertidor procesa solo una fracción de la potencia total. Esto reduce las pérdidas en los componentes pasivos, lo que se traduce en una mayor eficiencia general.

Por otro lado, la eficiencia en el modo de potencia completa, tanto a 200 V como a 250 V, es inferior en comparación con el modo parcial. Sin embargo, en el modo de potencia completa al operar con un voltaje de salida de 200 V, la eficiencia es consistentemente mayor que a 250 V, corroborando lo planteado en la ecuación (5.7). La convergencia de estas curvas en una potencia mayor a 600W se debe a que, a 200 V, la curva de eficiencia comienza a descender, mientras que a 250 V aún continúa aumentando, aunque eventualmente alcanza un punto máximo menor.

Además, se observa que al operar a 200 V en la salida, el modo de potencia completa no puede superar los 700 W debido a la limitación en la corriente máxima que el convertidor puede manejar. En este caso, el límite de potencia es de aproximadamente 700 W, correspondiente a una corriente máxima permisible de 3.5 A, que fue alcanzada durante la prueba a dicho nivel de potencia. Por el contrario, al trabajar con 250 V en la salida, el requerimiento de corriente es menor, lo que permite alcanzar potencias de hasta 900 W aproximadamente. Por lo tanto, se puede entender que el sistema tiene un máximo de corriente DC que puede entregar, lo que está relacionado con la corriente máxima en el lado alterno.

En el modo PPC, con 200 V totales de salida, se puede alcanzar hasta 800 W, en contraste de los 700W máximos en FPC, esto es debido principalmente a la eficiencia que se obtiene en la configuración parcial. La restricción de corriente está dada por la corriente de entrada al sistema, la que se convierte en corriente alterna. Si se tiene una baja eficiencia y se desea alcanzar los 800 W en el modo FPC, se requerirá más corriente del lado alterno de lo que es posible, esto debido a la baja eficiencia que se tiene en ese punto.

Capítulo 6

VALIDACIÓN EXPERIMENTAL

La validación experimental de la topología T-type DAB se llevó a cabo tanto en modalidad de potencia completa como en modalidad de potencia parcial.

Para la construcción del sistema, se utilizaron tarjetas LMG342XEVM-04 de Texas Instruments, las cuales son módulos semipuentes H basados en semiconductores GaN. Se diseñaron PCB personalizadas para integrar estos módulos dentro de la topología propuesta. Cabe destacar que, debido a la naturaleza unidireccional de los módulos, fue necesario emplear dos semiconductores para configurar las piernas bidireccionales.

El control y la implementación de los esquemas de modulación se realizaron utilizando la plataforma MicroLabBox. Esta plataforma está dividida en dos módulos principales: el DS1202, controlado por un procesador de tiempo real Freescale QorlQ P5020 de 64 bits (DualCore@2GHz), y el DS1302, que emplea una FPGA Xilinx Kintex-7 XC7K325T.

Para la alimentación de los componentes de las PCB y los módulos GaN, se utilizó una fuente de alimentación DC Agilent. En cuanto a la alimentación de alta potencia, se empleó una fuente de alimentación KEYSIGHT N8762A. Además, para el lado alterno se utilizó un transformador de alta frecuencia del fabricante HIMAG.

6.1. Set-Up Experimental

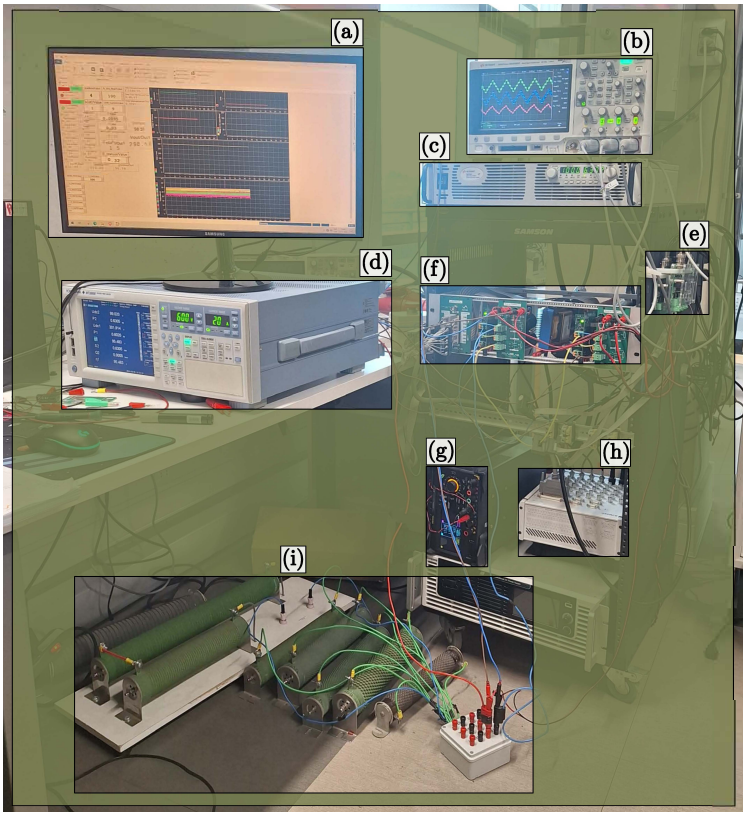


Figura 6.1: Vista general del set-up experimental: a) Interfaz HMI diseñada para el control y monitoreo, b) Osciloscopio para observación de variables en el lado alterno, c) Fuente de voltaje DC KEYSIGHT N8762A, d) Analizador de potencia Yokogawa WT3000E, e) Medidores de voltaje y corriente Taraz USM-3IV, f) Convertidor T-type DAB, g) Fuente de alimentación DC Agilent para las placas PCB, h) Plataforma de control MicroLabBox y i) Cargas resistivas y bornera para selección de resistencias.

Como se puede apreciar en la Figura 6.1, el set-up experimental incluye los diferentes componentes que conforman el sistema de validación. En el momento de capturar la imagen, el sistema se encontraba en funcionamiento en modalidad de potencia parcial, lo cual se evidencia en las señales mostradas en el osciloscopio (b). Cada componente desempeña un rol crucial en la implementación y operación de la topología T-type DAB. A continuación, se detallará el paso a paso de cómo se logró la integración de cada módulo en el sistema.

6.2. Módulo GaN LMG342XEVM-04

Para llevar a cabo las pruebas experimentales del convertidor se utilizaron los módulos GaN LMG342XEVM-04 de Texas Instruments, basados en el semiconductor GaN FET LMG342xR030. Estos módulos fueron seleccionados por su flexibilidad y facilidad de uso, lo que permitió una integración eficiente en la topología propuesta.

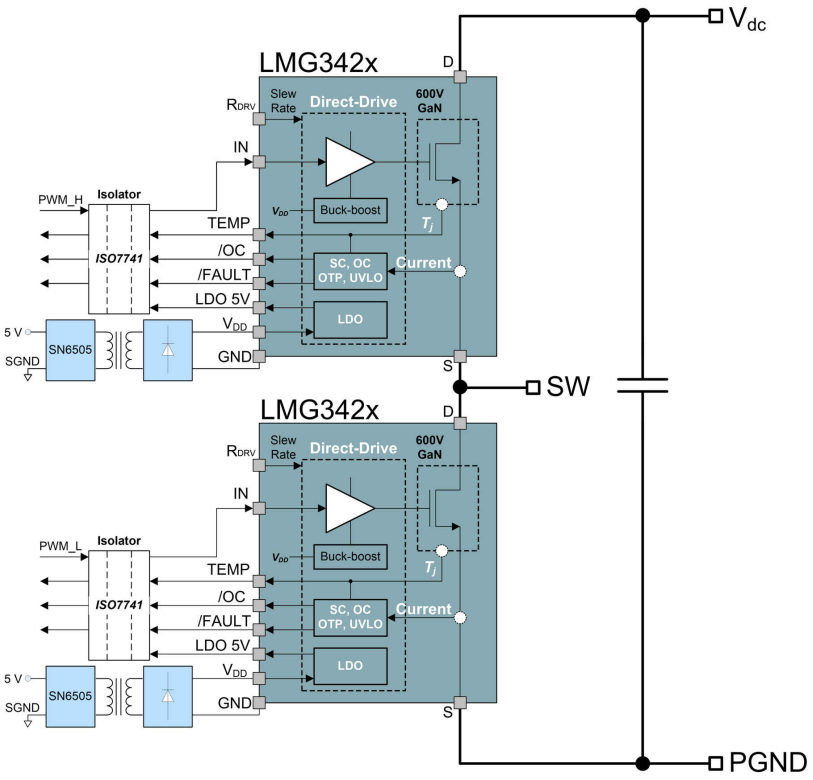


Figura 6.2: Esquema eléctrico del módulo GaN LMG342XEVM-04.

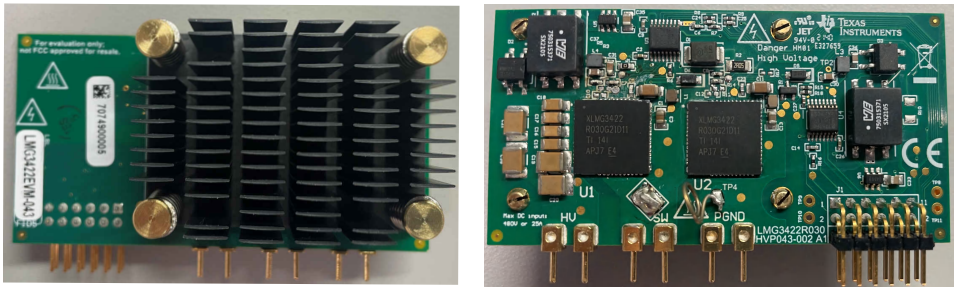


Figura 6.3: Vista física del módulo GaN LMG342XEVM-04 empleado.

El módulo LMG342XEVM-04 fue seleccionado por las siguientes razones:

- **Señal de Activación**: Estos módulos requieren únicamente una señal de 5 V para la activación de cada semiconductor, la cual es fácilmente realizable con MicroLabBox.
- **Flexibilidad operativa**: El módulo incorpora dos semiconductores GaN que pueden ser controlados de forma independiente, lo cual es fundamental para la topología T-type DAB.
- **Monitoreo de temperatura**: Cada semiconductor cuenta con un sistema de medición de temperatura que genera una señal PWM con un ancho de pulso proporcional a la temperatura,
- **Protección contra sobre-corriente y fallas**: El módulo dispone de circuitos que detectan niveles peligrosos de corriente y emiten señales de advertencia en caso de fallas.
- **Refrigeración activa**: El módulo dispone de ventiladores que benefician la refrigeración del semiconductor para no someterlo a temperaturas peligrosas.

Estas características hacen que el LMG342XEVM-04 sea ideal para aplicaciones que requieren control y protección robusta, como en la topología empleada en este trabajo.

Además, se presenta la siguiente tabla con las características operativas del módulo y los valores utilizados en las pruebas:

Tabla 6.1: Parámetros Operativos del Módulo LMG342XEVM-04.

Parámetro	**Valor Máximo**	**Valor Empleado**
Voltaje de bloqueo	600 V	250 V
Corriente DC circulante	25 A	8 A
Frecuencia en hard-switching	200 kHz	100 kHz
Slew rate	100 V/ns	40 V/ns
Voltaje de alimentación	12 V ó 5 V	12 V

Es importante destacar que se realizó una modificación en el parámetro del *slew rate*. La reducción de este valor se llevó a cabo debido a que, durante las pruebas en las ramas bidireccionales, se observó un elevado *ringing* en el voltaje asociado al bucle de conmutación. Esto se evidencia en el informe desarrollado en el Apéndice A. Para asegurar una operación dentro de rangos aceptables, se redujo el *slew rate* de todos los semiconductores utilizados.

Otro aspecto relevante es la medición de temperatura, ya que estos módulos poseen un sensor integrado. La temperatura se calcula mediante la siguiente ecuación:

$$T = 162{,}3 \times d_g + 20{,}1 \tag{6.1}$$

Donde T es la temperatura en grados Celsius y d_g es el ancho de pulso generado por una señal PWM de 9 kHz. Esta señal es medida e interpretada para el monitoreo térmico del sistema.

6.3. Generación de PCB

Se diseñó una PCB capaz de montar los módulos necesarios para realizar un puente del convertidor propuesto. Este diseño se realizó considerando los siguientes aspectos:

- **Dimensiones de los módulos LMG342XEVM-04X**: Se requieren un total de seis módulos para diseñar un puente, debido a que las ramas bidireccionales necesitan dos módulos cada una.
- **Capacidad de montaje en un rack para uso continuo**: Se buscó que el diseño de la PCB permitiera su integración en un rack estándar, facilitando su uso en aplicaciones de larga duración.
- **Conexión mediante DP50 desde la MicroLabBox**: La PCB está diseñada para conectarse directamente a los puertos de entrada/salida de la MicroLabBox utilizando conectores DP50, simplificando el conexionado y reduciendo posibles interferencias.
- **Capacidad de las pistas para soportar corrientes y voltajes asociados**: Se dimensionaron las pistas de cobre para manejar de manera segura los niveles de corriente y voltaje requeridos por el sistema.
- **Optimización del bucle de conmutación y aislamiento de señales**: El diseño del conexionado se enfocó en minimizar el bucle de conmutación y asegurar el aislamiento adecuado entre las señales de control y el área de potencia, reduciendo el ruido eléctrico y mejorando la confiabilidad.
- **Unificación de señales de error**: Todas las señales de error, tanto de sobrecorriente como de fallas, se unieron mediante una compuerta OR para generar una señal de error global, facilitando la detección y respuesta ante eventos anómalos.

Con base en estos criterios, se obtuvo el siguiente esquemático:

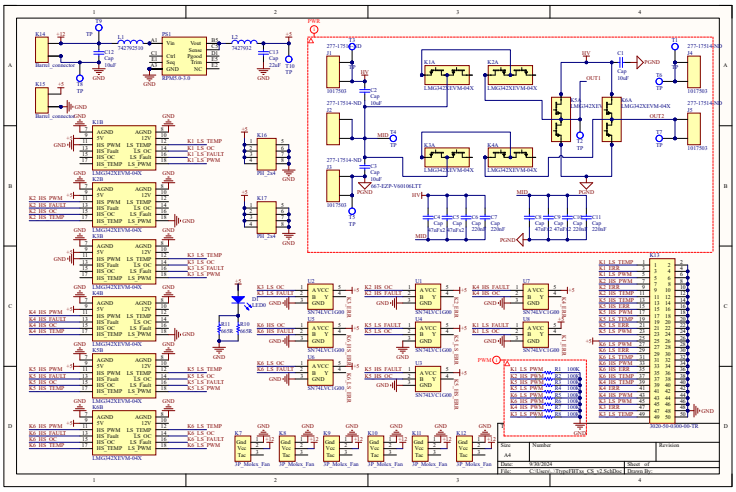
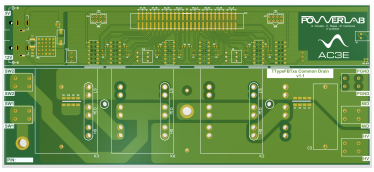
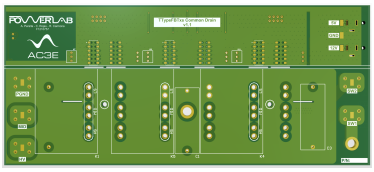


Figura 6.4: Esquemático elaborado para la PCB diseñada.

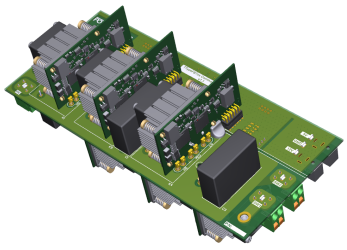
Al realizar la interconexión adecuada y asegurar el correcto enrutamiento de las vías, se obtuvo la siguiente PCB, presentada tanto sin componentes como con los componentes instalados:



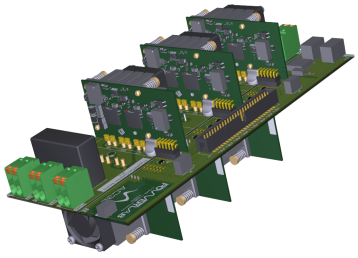
(a) PCB sin componentes por la parte frontal.



(b) PCB sin componentes por la parte posterior.



(c) PCB con componentes por la parte lateral frontal.



(d) PCB con componentes por la parte lateral posterior.

Figura 6.5: Vista de la PCB en diferentes configuraciones.

6.4. Transformador HIMAG

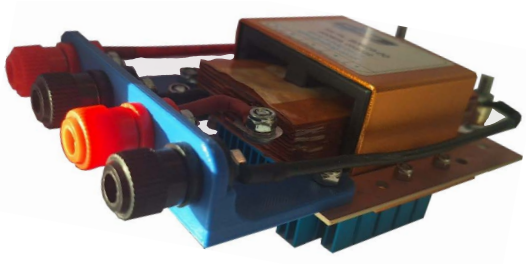


Figura 6.6: Transformador HIMAG modificado para facilidad de uso.

El transformador empleado en este trabajo es un HIMAG, cuyos parámetros se obtienen según lo indicado en [40].

Sin embargo, durante ciertas pruebas se observó que estos parámetros no eran completamente precisos. En particular, se identificó la necesidad de estudiar más detalladamente la inductancia de fuga.

Utilizar el transformador sin ninguna inductancia adicional no es recomendable, ya que está diseñado para manejar potencias desde 1 kW hasta 10 kW. También debido que para los valores de voltaje utilizados en la implementación, provoca que la corriente tenga caídas brusca en los diferentes estados. Por ello, se propuso agregar una inductancia serie en la entrada.

Después de realizar pruebas tanto en lazo abierto como en lazo cerrado, se concluyó que al tener una inductancia muy baja en el primario, la corriente en la fuente se eleva significativamente cuando se exige un escalón de voltaje elevado, llegando a disparar las protecciones y provocando que la fuente se apague. Para mitigar este problema durante las pruebas de control, se eligió agregar una inductancia adicional en serie en el primario de 5.5 μH. Por otro lado, para el cálculo de la eficiencia, se utilizó una inductancia de 3.3 μH, incrementando el voltaje de salida gradualmente para evitar que la fuente se disparara.

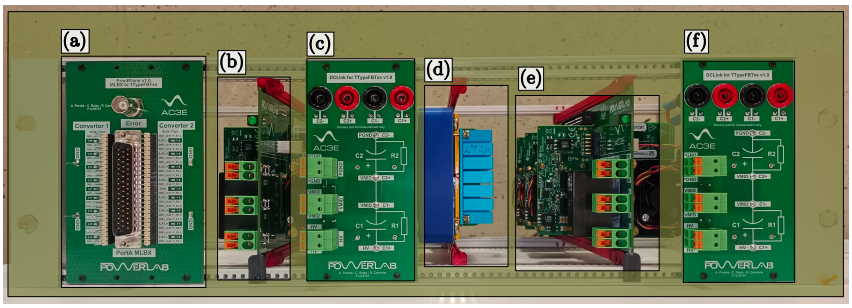
Cabe destacar que si se dispusiera de una fuente capaz de soportar corrientes mayores, lo más recomendable sería utilizar la inductancia de 3.3 μH en todo momento.

Tabla 6.2: Parámetros del transformador HIMAG 80708 tomados en cuenta.

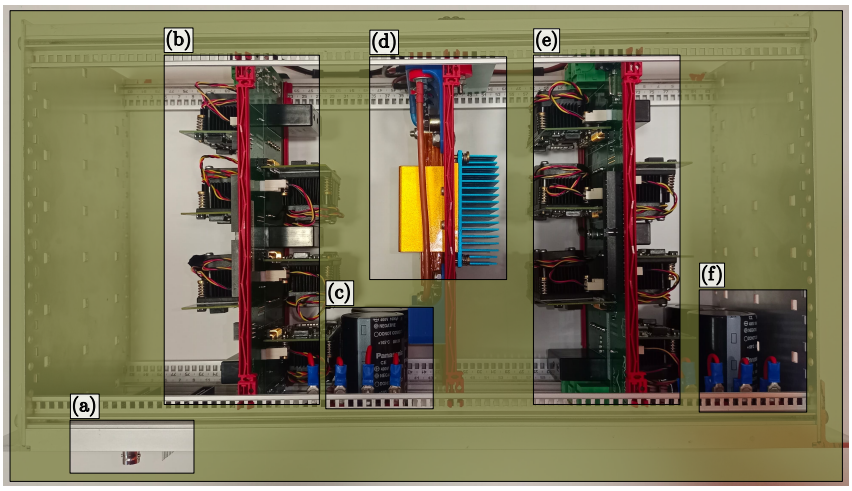
Descripción	**Símbolo**	**Valor**
Relación de vueltas	$n = \dfrac{n_2}{n_1}$	2
Inductancia adicional en el primario	L_{ad}	3.3 µH ó 5.5 µH

6.5. Convertidor T-type DAB

Finalmente, luego de ensamblar todos los componentes y montarlos en un rack, se obtiene la configuración final del convertidor tal como se muestra en las Figuras 6.7a y 6.7b.



(a) Vista frontal del convertidor.



(b) Vista superior del convertidor.

Figura 6.7: Imágenes del convertidor T-type DAB ensamblado, donde: a) Conexión con conector DP50 desde la salida IO de la MicroLabBox, b) Convertidor T-type DAB del primario, c) DC-link del primario, d) Transformador de alta frecuencia, e) Convertidor T-type DAB del secundario y f) DC-link del secundario.

Tal como se aprecia en las Figuras 6.7a y 6.7b, el convertidor completo resulta ser un sistema muy compacto, lo que facilita su aplicación en futuras variaciones y adaptaciones a otras topologías. Esta configuración modular permite un diseño eficiente y flexible, facilitando la conversión entre modalidades de potencia completa y potencia parcial, ya que solo requiere la modificación de dos conexiones: una asociada al negativo de la carga y la otra conectando el positivo de la fuente al negativo del DC-link del secundario.

6.6. Parámetros del sistema

En esta sección se presentan los parámetros y especificaciones globales del sistema utilizado en el desarrollo experimental. La Tabla 6.3 resume las características principales, incluyendo los voltajes de entrada y salida, la frecuencia de conmutación, la potencia máxima y las inductancias utilizadas.

Tabla 6.3: Parámetros y especificaciones del set up experimental.

Descripción	**Símbolo**	**Valor**
Voltaje de entrada	V_{dc}	100 V o 125 V
Voltaje de salida	V_{out}	0 V a 250 V
Frecuencia de conmutación	f_{sw}	100 kHz
Capacitores de entrada	$C_{1,2}$	2000 µF
Capacitores de salida	$C_{3,4}$	1000 µF
Potencia máxima	P_{max}	700 W
Tiempo muerto de encendido	d_{t}	40 ns
Inductancia adicional en el primario	L_{ad}	3.3 µH o 5.5 µH
Relación de transformación	n	2

6.7. Implementación en MicroLabBox

Para implementar el sistema de modulación y control, se decidió utilizar la plataforma MicroLabBox, dividiendo la implementación en dos partes. La modulación se desarrolló en la FPGA integrada en la MicroLabBox para aprovechar el reloj de 100 MHz, lo que garantiza la generación de las señales de conmutación de 100 Khz. Por otro lado, el control general del sistema, se implementó en el procesador, la cual posee una interfaz similar a la de Simulink.

6.7.1. Control y mediciones

El diseño del control y las mediciones se llevó a cabo en el procesador de la MicroLabBox, ya que esta parte del sistema no requiere una alta frecuencia de actuación, lo que simplifica su implementación. Además, el uso del procesador permite ajustar variables en tiempo real mediante el software ControlDesk, brindando mayor flexibilidad durante las pruebas.

Para garantizar una frecuencia constante en la adquisición de datos y el control, se configuraron interrupciones fijas a 10 kHz.

En la Figura 6.8, se puede observar la arquitectura general del sistema de control. El bloque de **ADC** se encarga de realizar mediciones clave, incluyendo los voltajes en los capacitores, las corrientes de entrada y de carga, así como la corriente de bypass i_{bp} para la modalidad de potencia parcial.

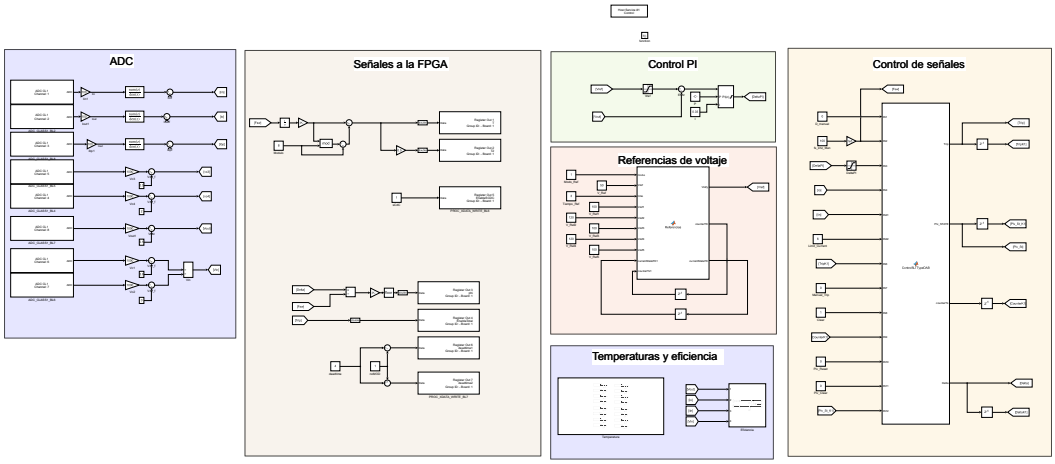


Figura 6.8: Diagrama del control implementado en el procesador.

Adicionalmente, se tienen registros que se envían a la FPGA para la generación de señales de modulación. El controlador **PI** se utiliza para ajustar las referencias de voltaje en función de las mediciones. En la sección de **referencias de voltaje**, se establecen los valores deseados para los voltajes de salida, mientras que el bloque de **medición de temperaturas y eficiencia** proporciona datos para asegurar la operación segura del sistema.

Por último, el bloque de **control de señales** gestiona aspectos críticos como el desfase entre puentes, la activación de señales de disparo, el trip por sobre-corriente, y las limitaciones de corriente. Todos los códigos asociado pueden ser encontrado en el Apéndice C.

6.7.2. Modulación

La estrategia de modulación desarrollada para este estudio se basa en la lógica detallada en el Capítulo 5, donde se demostró que es suficiente generar un conjunto reducido de señales primarias (Señales del puente H) para derivar las señales secundarias (Señales Bidireccionales) mediante operaciones matemáticas sencillas. Específicamente, al analizar la Figura 3.6a, se observa que solo es necesario diseñar las señales S_1 y S_8. A partir de estas, se pueden obtener S_4 y S_5 aplicando un desfase de $T/2$ a S_1 y S_8, respectivamente.

Dado que el sistema opera a una frecuencia de conmutación de 100 kHz, la implementación de la modulación en la FPGA de MicroLabBox resulta ser la única solución viable.

La Figura 6.9 ilustra la arquitectura de la modulación implementada en la FPGA para la generación de señales del puente H. El primer bloque, denominado **registros de entrada**, es responsable de recibir los registros desde el procesador. Entre estos registros

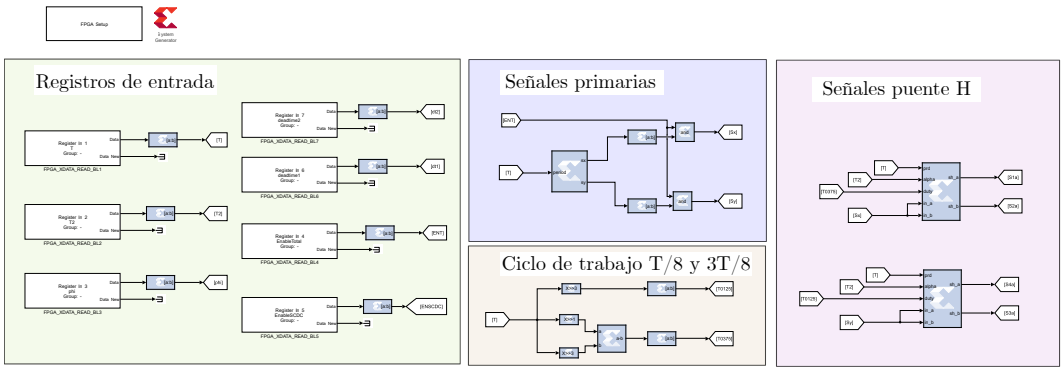


Figura 6.9: Subsecciones de la modulación implementada en la FPGA.

se encuentran T, que representa el período de conmutación expresado en cuentas de reloj, y $T2$, que corresponde a la mitad de este período ($T/2$) utilizado para generar las señales bidireccionales. Además, se incluye el ángulo de desfase δ entre los dos puentes, así como los tiempos muertos $dt1$ y $dt2$. Aunque presentan ligeras diferencias debido a los tiempos de propagación, se calculan de manera que sean equivalentes en la salida.

Adicionalmente, se incluyen las señales `ENT`, que controla el encendido o apagado de las señales generadas por la MicroLabBox, y `ENSCDC`, que selecciona el modo de operación entre *source común* y *drain común*, empleado para si los semiconductores están en modo de fuente común o drenaje común ofreciendo flexibilidad en la configuración del convertidor.

El segundo bloque, denominado **señales primarias**, se encarga de generar las señales S_x y S_y que se muestran en la Figura 6.10(a). Estas señales se generan mediante un módulo en Verilog, implementado como una *black box* en la FPGA.

El tercer bloque, **ciclos de trabajo**, realiza la división en cuentas de reloj correspondientes a los ciclos de $T/8$ y $3T/8$, los cuales determinan los tiempos de duración de las señales primarias.

Finalmente, el cuarto bloque, **señales Puente H**, genera las señales S_1, S_4, S_8 y S_5 a partir de las señales primarias S_x y S_y. La lógica implementada en este bloque se basa en un módulo que introduce un desfase utilizando las señales de entrada (`in_a` y `in_b`). El desfase se establece mediante un número de cuentas de reloj determinado por `alpha`, que en este caso corresponde a $T/2$. Las señales de salida generadas por este módulo tienen un periodo definido por el valor de `T` y un ciclo de trabajo determinado por el parámetro `duty`.

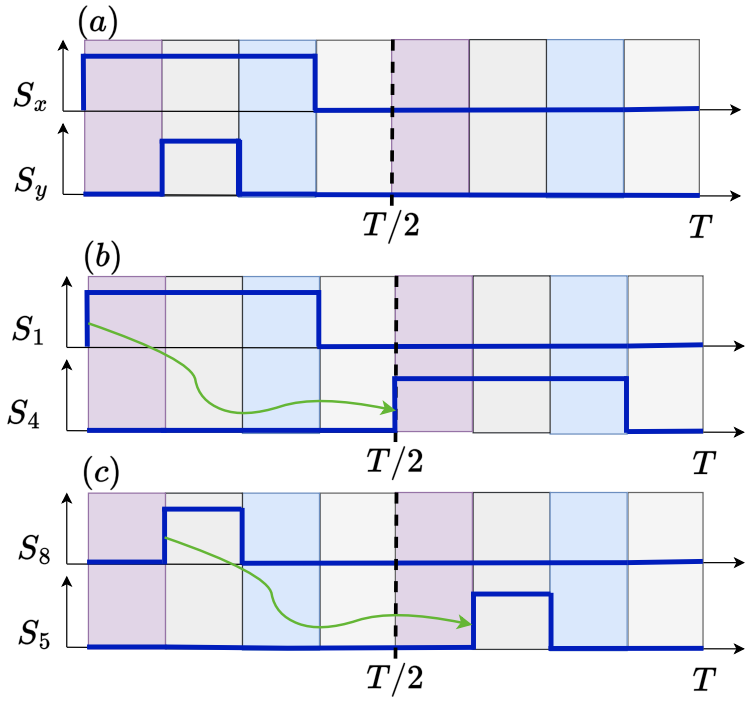


Figura 6.10: Señales primarias S_x y S_y generadas en la FPGA. (a) Señales S_x y S_y, (b) Generación de las señales S_1, S_4, (c) Generación de las señales S_8, S_5.

Al utilizar la misma señal en las entradas `in_a` y `in_b`, se garantiza que ambas señales estén sincronizadas al inicio [42], evitando así errores de propagación. Todo este proceso se resume en la Figura 6.10, donde se puede observar en la 6.10b cómo se generan las señales S_1 y 6.10c las señales S_8 y S_5.

Para completar la generación de señales, en la Figura 6.11 se muestran dos bloques principales. El primero genera los 16 pulsos necesarios para el control del convertidor utilizando el bloque de desfase previamente descrito, donde la entrada `alpha` se reemplaza por δ para generar pulsos desfasados entre puentes. El segundo bloque aplica tiempos muertos a cada señal para evitar solapamientos en la conmutación.

El último bloque, mostrado en la Figura 6.12, gestiona los registros de salida que controlan el convertidor. Las señales generadas se almacenan en registros específicos que actúan como intermediarios entre la lógica de modulación y los semiconductores, asegurando que las señales se mantengan estables durante un ciclo de conmutación completo.

Tal como se mencionó anteriormente, se ha implementado la capacidad de configurar las ramas bidireccionales en modos *source común* o *drain común*. Esta flexibilidad se logra mediante la señal `ENSCDC`, que alterna la lógica de disparo en las piernas bidireccionales. Todos los códigos de Verilog pueden ser revisados en el Apéndice D.

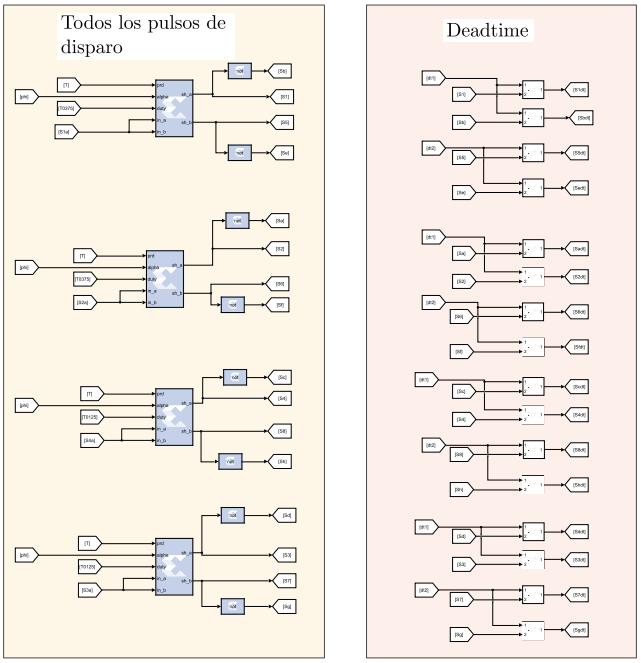


Figura 6.11: Generación de pulsos y aplicación de tiempos muertos en la FPGA.

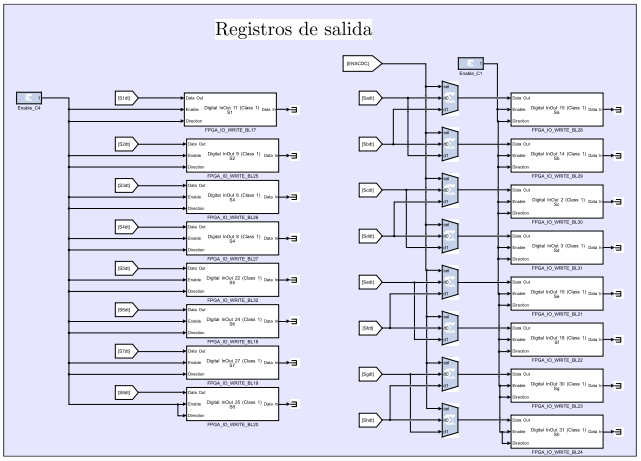


Figura 6.12: Registros de salida para el control final del convertidor.

6.7.3. ControlDesk

La implementación del HMI (interfaz hombre-máquina) permite tanto la visualización como el control en tiempo real de diversas variables del sistema, brindando al usuario un mayor nivel de interacción y ajuste durante las pruebas experimentales.

En la interfaz mostrada se pueden observar opciones para seleccionar entre el uso del



Figura 6.13: Interfaz HMI generada para la implementación del sistema.

controlador PI o la operación en lazo abierto, así como encender o apagar los pulsos de disparo. También se permite ajustar en tiempo real parámetros como el tiempo muerto, la frecuencia de conmutación, y el modo de operación entre source común y drain común. Se puede establecer la corriente máxima antes de que actué la protección y apagar los pulsos, y modificar los parámetros del controlador PI, como el valor proporcional y el integral, además del desfase manual que se desea aplicar.

El HMI también incluye gráficos en tiempo real que muestran las corrientes del sistema, los voltajes medidos en distintos puntos, el desfase entre los puentes y las temperaturas de los semiconductores.

6.8. Pruebas en Lazo Abierto

Para verificar la correcta implementación del sistema, se realizaron pruebas en lazo abierto con el objetivo de observar el comportamiento de las variables de interés. En este experimento, se utilizó un voltaje de entrada de 100 V y una carga resistiva de $R = 150\,\Omega$. Se aplicaron tres valores de desfase al sistema: $\delta = 0$ rad, $\delta = \pi/12$ rad y $\delta = \pi/6$ rad, con el fin de analizar cómo cambian las variables clave del sistema bajo cada condición.

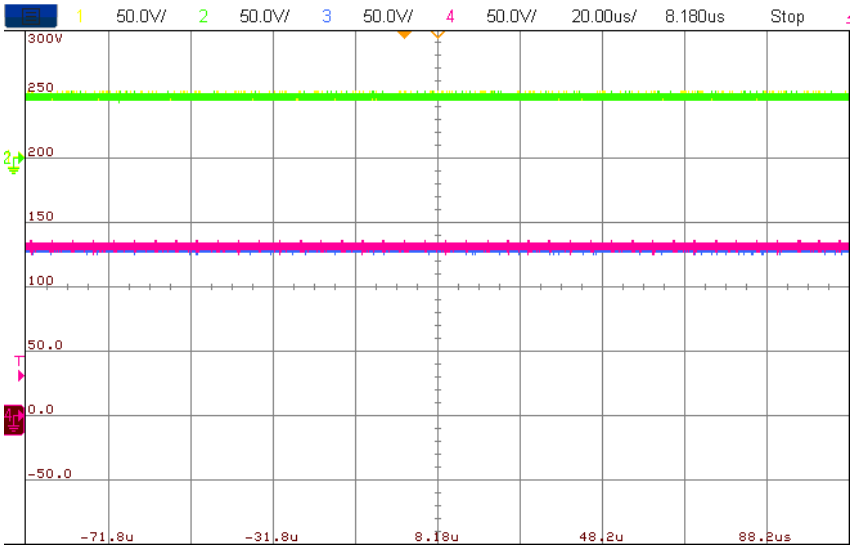


Figura 6.14: Voltajes en cada capacitor: amarillo V_{C1}, verde V_{C2}, azul V_{C3} y rojo V_{C4}.

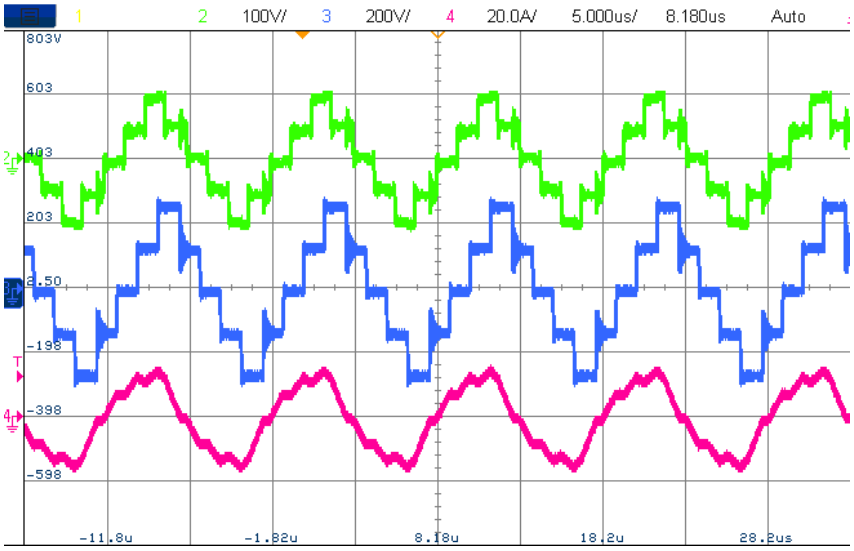
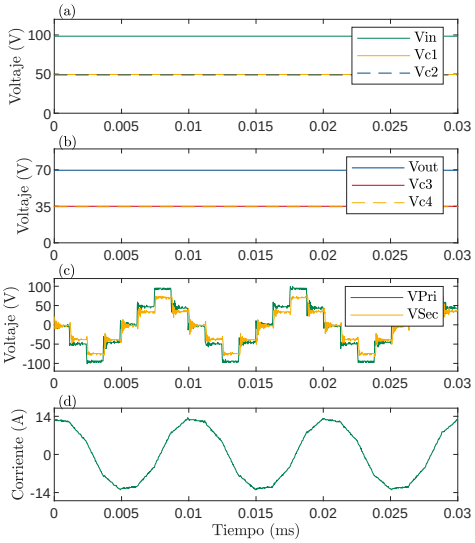


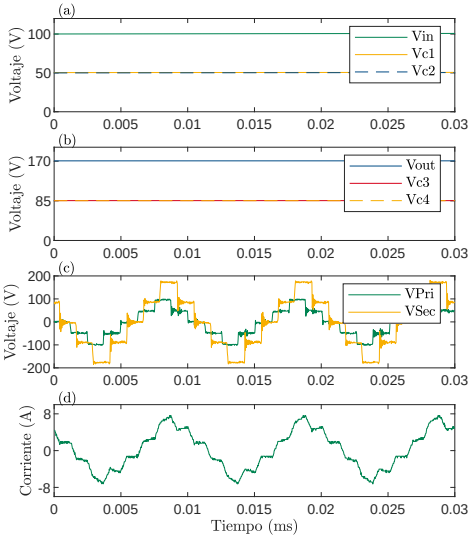
Figura 6.15: Variables en el enlace AC: verde V_{Pri}, azul V_{Sec}, rojo I_{Pri}.

Con el objetivo de facilitar la visualización y optimizar el espacio, los siguientes gráficos de resultados serán presentados en figuras generadas mediante el uso del extensión .CSV del osciloscopio.

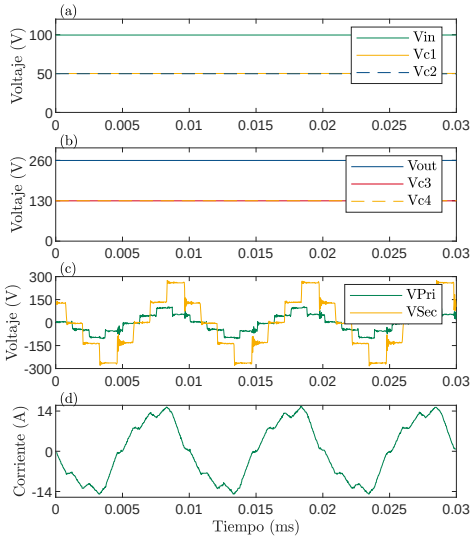
En las Figuras 6.16 se observa que el sistema se comporta de manera coherente con lo esperado en simulación. Tal como se aprecia en la Figura 5.6, el voltaje de salida aumenta conforme incrementa el desfase. En la Figura 6.16a, se nota que la corriente tiene un carácter



(a) Desfase $\delta = 0$ rad.



(b) Desfase $\delta = \pi/12$ rad.



(c) Desfase $\delta = \pi/6$ rad.

Figura 6.16: Resultados del sistema en lazo abierto a diferentes valores de desfase, donde: a) Voltaje de entrada y voltaje en cada capacitor de entrada, b) Voltaje de salida y voltaje en cada capacitor de salida, c) Voltaje en el primario y secundario del transformador y d) Corriente en el primario.

más sinusoidal en comparación con las otras figuras, lo cual se debe a los efectos reactivos adicionales introducidos por el inductor. Además, en esta figura se observa un desfase entre el voltaje y la corriente, lo que indica que el sistema no está operando en un punto óptimo de potencia activa.

En las Figuras 6.16b y 6.16c se observa que a medida que el desfase aumenta, la corriente adquiere un perfil más triangular debido en gran medida a la modulación utilizada. Además, el desfase entre el voltaje y la corriente tiende a reducirse, llevando ambos valores a estar casi en fase. Esto se debe a que, al incrementar la potencia demandada por el sistema, la potencia reactiva se vuelve menos significativa en comparación con la potencia activa.

Por último, los voltajes en los capacitores de entrada y salida se mantienen correctamente balanceados. Los resultados de las variables continuas son de gran importancia, ya que sirven como base para el cálculo de los parámetros del controlador.

6.9. Lazo Cerrado

Para demostrar que el sistema es controlable, se procede a realizar pruebas en lazo cerrado. El diseño de los controladores PI se basa en los resultados obtenidos en la prueba de lazo abierto, utilizando el punto de operación seleccionado y otros parámetros relevantes.

6.9.1. Controladores PI

El punto de operación y los parámetros seleccionados para el diseño del controlador en lazo cerrado se presentan en la Tabla 6.4.

Tabla 6.4: Punto de operación y parámetros del controlador.

Parámetro	**Símbolo**	**Valor**
Inductancia total de fuga	L	6.5 μH
Desfase	δ_Q	0.52 rad
Voltaje de entrada	v_{batQ}	100 V
Voltaje de salida	v_{pcQ}	260 V
Ancho de banda	BW	5 Hz
Coeficiente de amortiguamiento	ξ	$1/\sqrt{2}$

Para determinar la inductancia total, se realizó una simulación en lazo abierto, ajustando la inductancia de fuga hasta obtener un valor de voltaje que coincidiera con el obtenido experimentalmente. Esto permitió establecer que la inductancia de fuga total es de $L = 6{,}5\,\mu$H. Sin embargo, la inductancia total del transformador aún no puede determinarse con precisión, ya que los inductores adicionales utilizados tienen una tolerancia de hasta el 20 %, lo cual afecta la precisión en la medición.

Utilizando estos valores en el código de Wolfram Mathematica presente en el Apéndice E, se obtienen los parámetros que modelan la planta. Cabe destacar que el ancho de banda seleccionado para el controlador es menor en comparación con la simulación. Esta decisión se tomó tras diversas pruebas, considerando factores como la introducción de ruido por el equipo de medición, cuyo ancho de banda era de baja frecuencia. Además, un ancho de banda reducido asegura que el sistema siga su referencia de forma controlada y sin oscilaciones abruptas, protegiendo los componentes.

Siguiendo los mismos principios aplicados en el Capítulo 5 y utilizando asignación de polos, se obtuvieron los parámetros finales del controlador. Los valores de los controladores PI para los modelos basados en Valor Medio y en Fourier son los siguientes:

Tabla 6.5: Parámetros de la planta y de los controladores PI en lazo cerrado.

Modelo	K_δ	K_{V2}	K_p	K_i
Valor Medio	1.01218	-0.00239433	0.0092	0.12
Fourier	1.85	0.01	0.0095	0.03

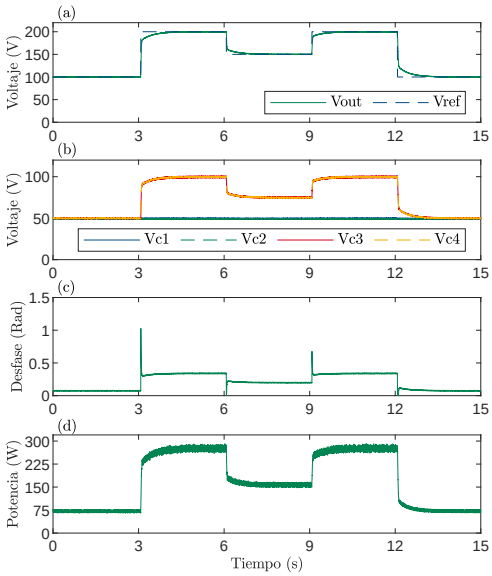
En este diseño, al igual que en el Capítulo 5 se omite la inclusión del punto de operación en la actuación del controlador, también se tiene la diferencia entre las dos plantas, ya que para un modelo de Fourier es estable y para la otra es inestable, cuando la planta es estable debido a que es posible hacer pruebas en lazo abierto. Por otro lado se discretizaron los controladores utilizando Tustin. El sistema estaba con interrupciones de 10 kHz y los polos en lazo abierto son de 3.18 Hz y 0.76 Hz para los modelos de Fourier y valor medio respectivamente. Dado que la frecuencia de muestreo es significativamente mayor que la frecuencia de estos polos, la discretización no afectará la estabilidad del sistema.

6.9.2. Resultados en Potencia Completa

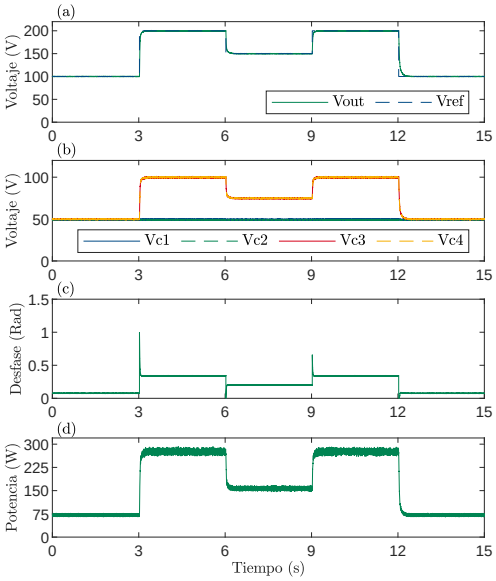
Para verificar el desempeño del sistema en lazo cerrado en modalidad de potencia completa, se realizaron diversas pruebas utilizando los controladores diseñados, tanto en modalidad de Fourier como en modalidad de Valor Medio.

Las pruebas se llevaron a cabo con una carga resistiva de $R = 150\,\Omega$ y dos valores de voltaje de entrada: $V_{in} = 100\,V$ y $V_{in} = 125\,V$. En estas condiciones, se aplicaron ambos controladores para observar y comparar las respuestas del sistema. Los resultados se presentan en la Figura 6.17, donde se analiza el comportamiento de las señales en términos de voltaje de salida y corriente en la carga para cada controlador.

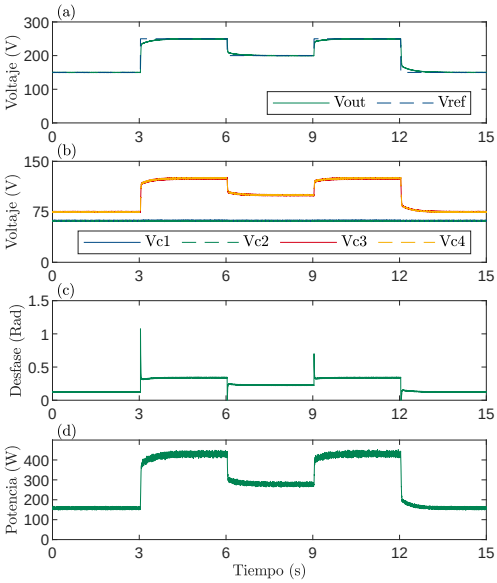
Se realizaron dos tipos de experimentos, en el primer experimento, con una carga de $R = 150\,\Omega$, se aplicaron cinco referencias de voltaje en la salida. Cuando el voltaje de entrada es de $100\,V$, las referencias de salida son 100, 200, 150, 200 y $100\,V$, permitiendo así



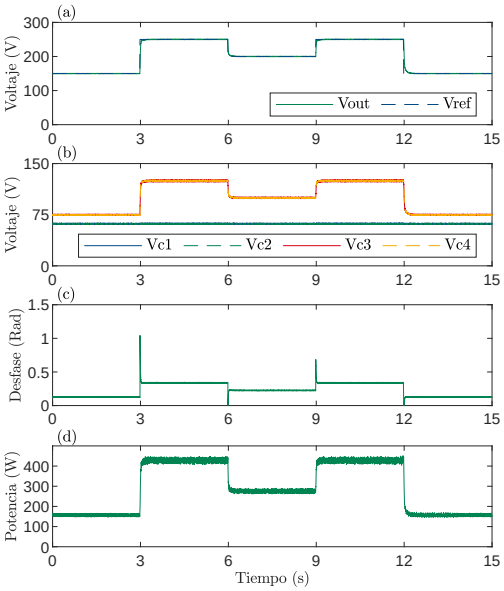
(a) Resultados de lazo cerrado con controlador de Fourier, $V_{in} = 100$ V.



(b) Resultados de lazo cerrado con controlador de Valor Medio, $V_{in} = 100$ V.



(c) Resultados de lazo cerrado con controlador de Fourier, $V_{in} = 125$ V.



(d) Resultados de lazo cerrado con controlador de Valor Medio, $V_{in} = 125$ V.

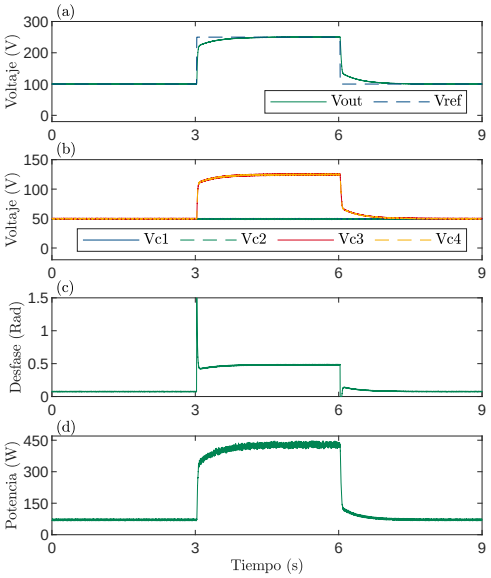
Figura 6.17: Resultados del sistema en lazo cerrado en potencia completa con carga $R = 150\,\Omega$.

verificar el control en incrementos y disminuciones en el voltaje de referencia, con un cambio máximo de $100\,V$. Con el voltaje de entrada de $125\,V$, las referencias de salida son 150, 250, 200, 250 y $150\,V$, lo cual permite observar un voltaje más elevado pero manteniendo el mismo escalón de $100\,V$.

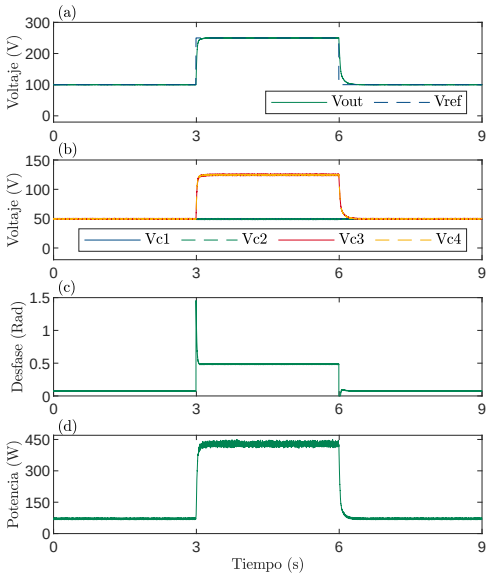
Se observa que el comportamiento dinámico del sistema es consistente con los resultados obtenidos en el Capítulo 5, donde se evidenció que el controlador de Valor Medio ofrece una respuesta más estable y limpia en comparación con el controlador de Fourier. En la Tabla 6.5, se puede ver que el controlador de Fourier tiene un polo hasta cinco veces más lento que el de Valor Medio, lo cual se ve acentuado cuando se impone un ancho de banda bajo. Esto se traduce en las respuestas más lentas observadas en las figuras. No obstante, ambos controladores demuestran una capacidad de control sobre el sistema en potencia completa.

Para el segundo tipo de prueba, se utilizaron dos valores de resistencia: $R = 150\,\Omega$ y $R = 100\,\Omega$. En cada caso, se aplicó un escalón de voltaje de $150\,V$ tanto en incremento como en decremento para observar el comportamiento del sistema en respuesta a diferentes niveles de potencia, derivados de la variación en la resistencia de carga. Los resultados para $R = 150\,\Omega$ se muestran en la Figura 6.18, mientras que los resultados con $R = 100\,\Omega$ se presentan en la Figura 6.19.

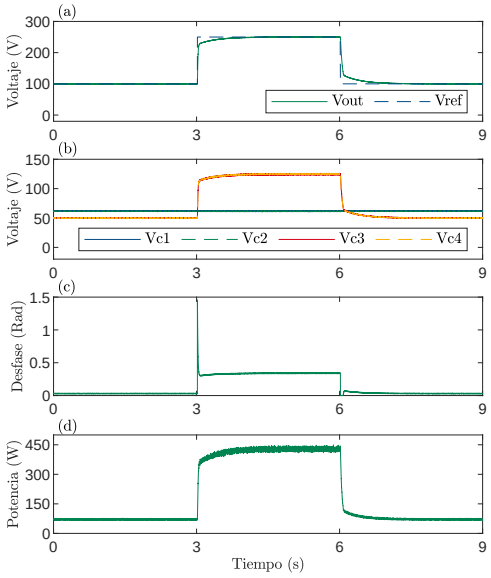
En las Figuras 6.18 y 6.19 se aprecia cómo el sistema es capaz de mantener la robustez en condiciones de lazo cerrado, soportando incrementos de voltaje de hasta $150\,V$ sin problemas, y adaptándose a distintas cargas. Los resultados confirman que el control implementado responde adecuadamente, preservando la estabilidad del voltaje de salida en ambas configuraciones de resistencia. Además, se observan las diferencias en tiempos de respuesta entre los controladores de Valor Medio y Fourier, consistentes con los tiempos de asentamiento previamente analizados.



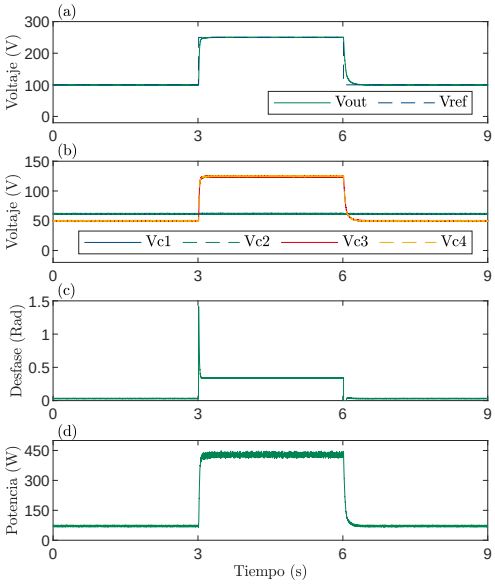
(a) Lazo cerrado con controlador de Fourier, $V_{in} = 100$ V.



(b) Lazo cerrado con controlador de Valor Medio, $V_{in} = 100$ V.

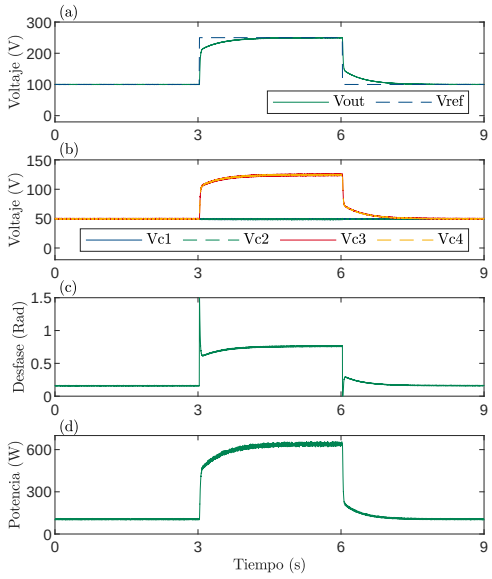


(c) Lazo cerrado con controlador de Fourier, $V_{in} = 125$ V.

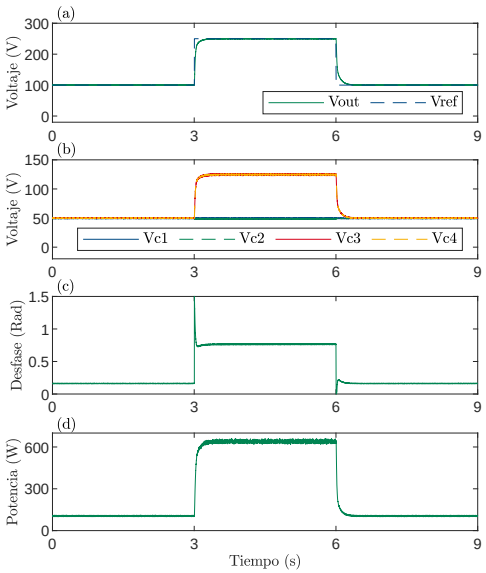


(d) Lazo cerrado con controlador de Valor Medio, $V_{in} = 125$ V.

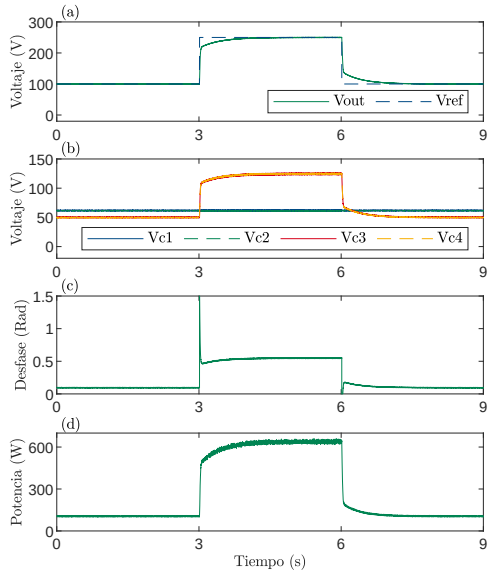
Figura 6.18: Resultados del sistema en lazo cerrado con $R = 150\,\Omega$ y un aumento de voltaje de $150\,V$.



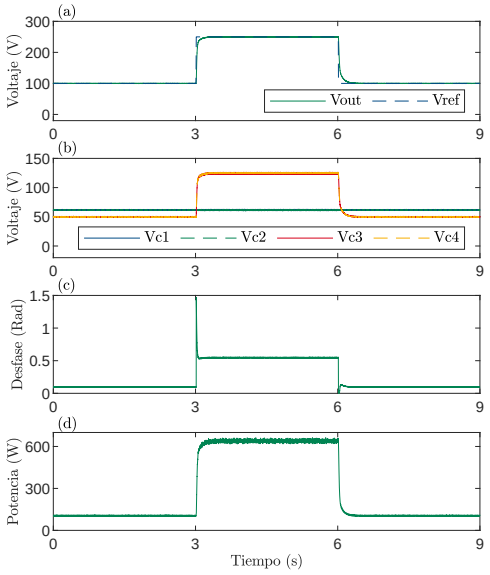
(a) Lazo cerrado con controlador de Fourier, $V_{in} = 100$V.



(b) Lazo cerrado con controlador de Valor Medio, $V_{in} = 100$V.



(c) Lazo cerrado con controlador de Fourier, $V_{in} = 125$V.



(d) Lazo cerrado con controlador de Valor Medio, $V_{in} = 125$V.

Figura 6.19: Resultados del sistema en lazo cerrado en potencia completa con $R = 100\,\Omega$ y un aumento de voltaje de $150\,V$.

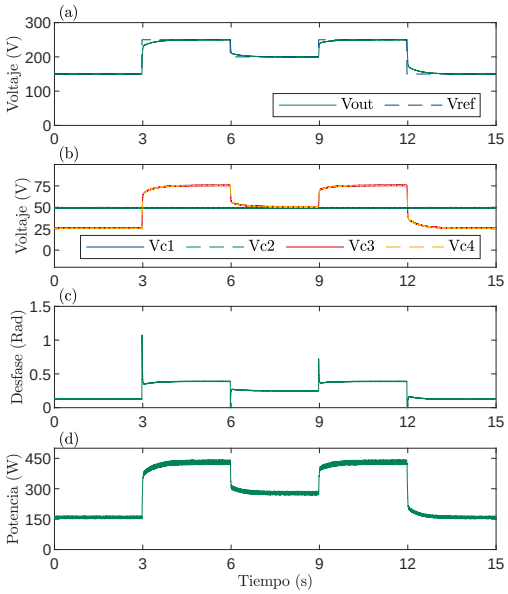
6.9.3. Resultados en Potencia Parcial

Para evaluar el desempeño del sistema en modalidad de potencia parcial, se realizaron pruebas similares a las de potencia completa, variando tanto las cargas como los voltajes de entrada. Las pruebas se llevaron a cabo con dos valores de resistencia: $R = 150\,\Omega$ y $R = 100\,\Omega$, y con voltajes de entrada de $100\,V$ y $125\,V$. En ambos casos, se aplicaron las mismas referencias de voltaje en la salida, en el siguiente orden: 150, 250, 200, 250 y $150\,V$, con el fin de observar el fenómeno de parcialidad en el sistema.

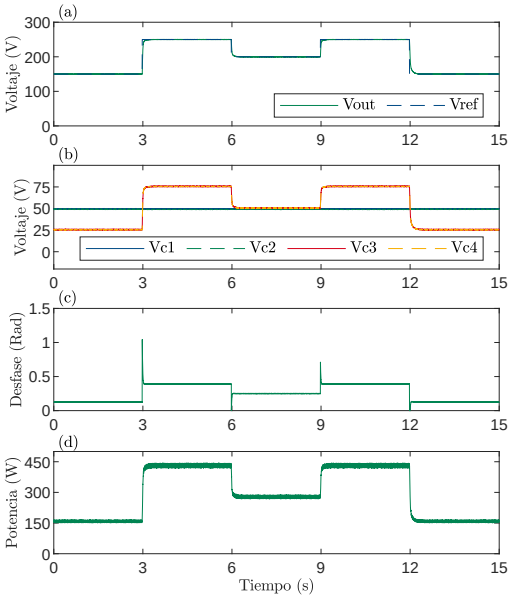
Los resultados en modalidad de potencia parcial muestran un comportamiento similar al observado en potencia completa, como se puede observar en las Figuras 6.20 y 6.21. Sin embargo, una diferencia clave es que, en el modo de potencia parcial, el voltaje de entrada de $100\,V$ se suma al voltaje generado por el convertidor, lo que produce un desplazamiento en el punto de operación.

Para corroborar este desplazamiento, se observa que durante el intervalo de tiempo entre $3\,s$ y $6\,s$, el voltaje de salida alcanza una referencia de $250\,V$. En este intervalo, la suma de los voltajes en los capacitores V_{C3} y V_{C4} es de $150\,V$, lo que indica que los $100\,V$ restantes corresponden al voltaje de entrada que se agrega a la salida total del sistema. Este comportamiento confirma que el sistema opera correctamente bajo modalidad de potencia parcial, ajustando el voltaje de salida en función de la referencia, pero con el desplazamiento inherente debido al aporte del voltaje de entrada.

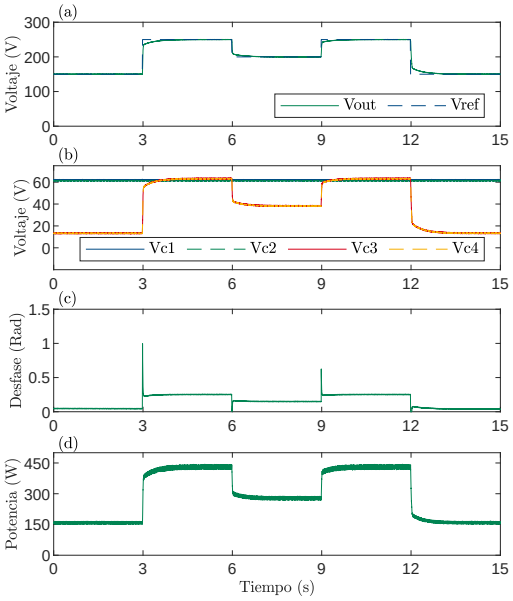
Se observa que el comportamiento dinámico del sistema es coherente con los análisis previos. La diferencia en la dinámica es claramente visible al comparar las respuestas en las Figuras 6.20a y 6.21a para Fourier, frente a las Figuras 6.20b y 6.21b para Valor Medio. Sin embargo, ambos controladores mantienen un desempeño adecuado en la modalidad de potencia parcial, cumpliendo con los requisitos de control en potencia completa.



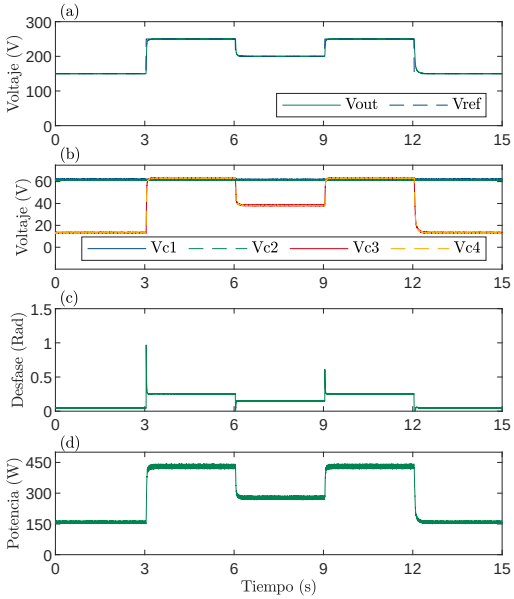
(a) Lazo cerrado con controlador de Fourier, $V_{in} = 100\text{V}$, $R = 150\,\Omega$.



(b) Lazo cerrado con controlador de Valor Medio, $V_{in} = 100\text{V}$, $R = 150\,\Omega$.

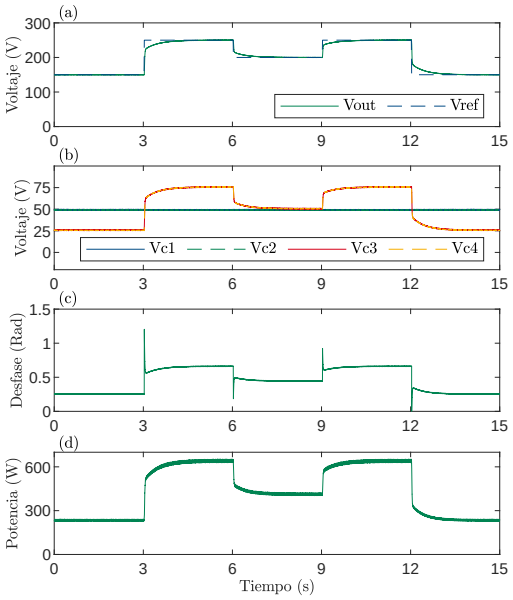


(c) Lazo cerrado con controlador de Fourier, $V_{in} = 125\text{V}$, $R = 150\,\Omega$.

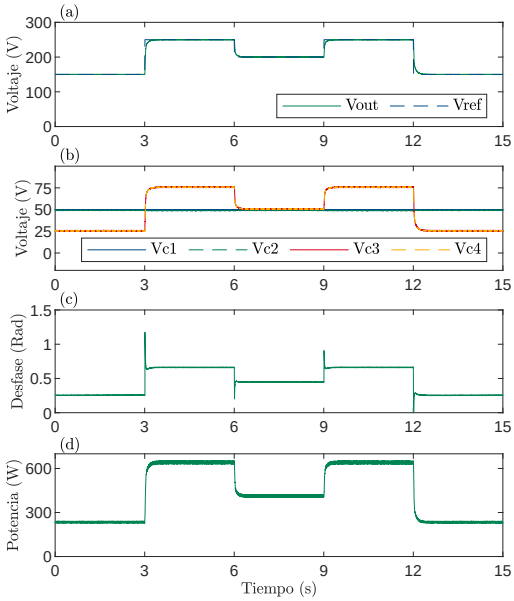


(d) Lazo cerrado con controlador de Valor Medio, $V_{in} = 125\text{V}$, $R = 150\,\Omega$.

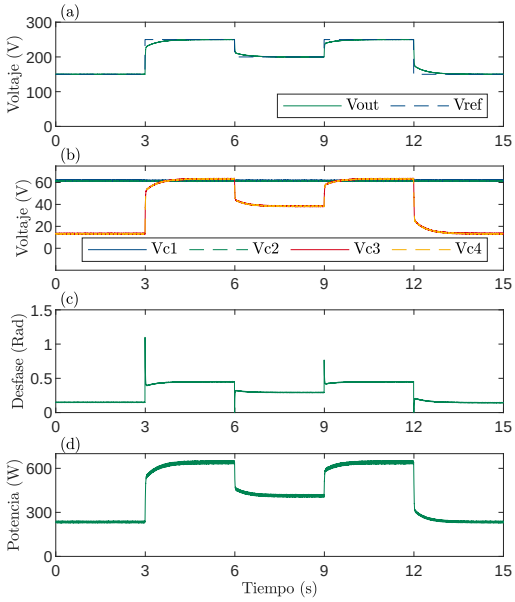
Figura 6.20: Resultados del sistema en lazo cerrado en potencia parcial con carga $R = 150\,\Omega$.



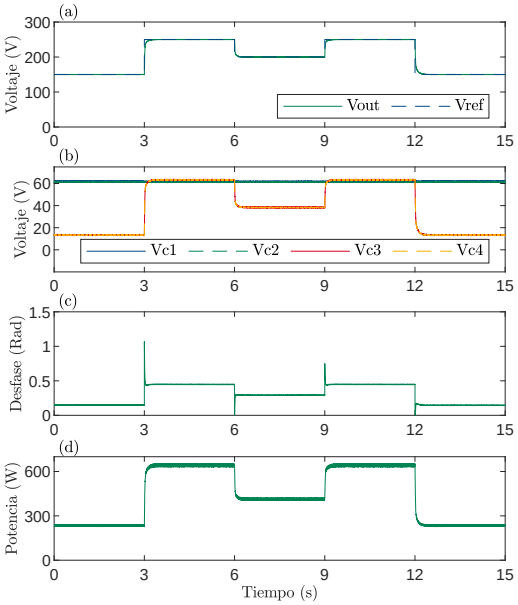
(a) Lazo cerrado con controlador de Fourier, $V_{in} = 100\text{V}$, $R = 100\,\Omega$.



(b) Lazo cerrado con controlador de Valor Medio, $V_{in} = 100\text{V}$, $R = 100\,\Omega$.



(c) Lazo cerrado con controlador de Fourier, $V_{in} = 125\text{V}$, $R = 100\,\Omega$.



(d) Lazo cerrado con controlador de Valor Medio, $V_{in} = 125\text{V}$, $R = 100\,\Omega$.

Figura 6.21: Resultados del sistema en lazo cerrado en potencia parcial con carga $R = 100\,\Omega$.

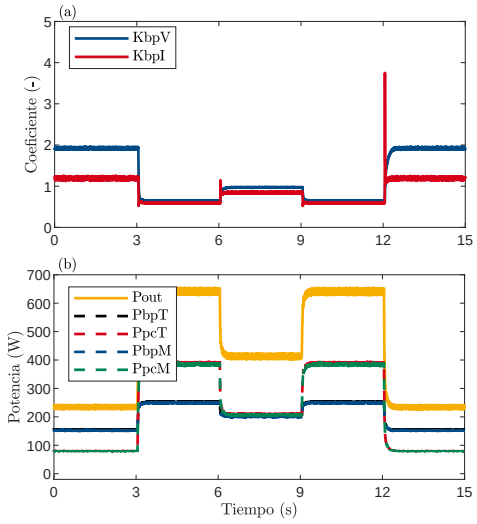
6.10. Coeficiente de parcialidad

Para evaluar el comportamiento del sistema en modalidad de potencia parcial, se realizaron pruebas experimentales con el objetivo de analizar el coeficiente de parcialidad bajo distintas condiciones de carga y dos valores de voltaje de entrada: $100\,V$ y $125\,V$. A continuación, se presentan los resultados para resistencias de $R = 100\,\Omega$ y $R = 150\,\Omega$.

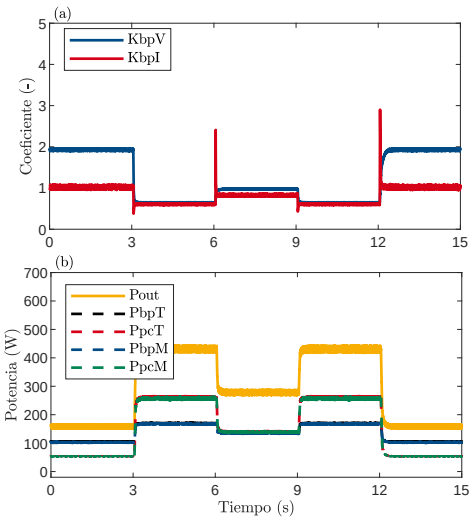
En la Figura 6.22, se observa que al aumentar la potencia exigida y el voltaje de entrada, los coeficientes de parcialidad K_{bpV} y K_{bpI} tienden a converger. Esto indica que, a mayores niveles de carga, el sistema logra un equilibrio más estable entre las potencias procesadas y directas.

Particularmente, al comparar las figuras para los voltajes de entrada de $100\,V$ y $125\,V$, se aprecia que el coeficiente K_{bpV} es el más estable, ya que es el que se utiliza para la regulación del sistema. Esto se refleja en la validación de las potencias medidas y teóricas, donde se observa una buena concordancia. Igualmente aquí sucede lo del calculo con la potencia de entrada o la de salida del convertidor, es decir, las potencias teóricas y medidas son iguales unicamente porque se ocupa la potencia de salida del convertidor y para utilizar esta se debe ocupar el coeficiente de parcialidad K_{bpV}, en cambio si se ocupara la potencia de entrada, se debería ocupar K_{bpI}.

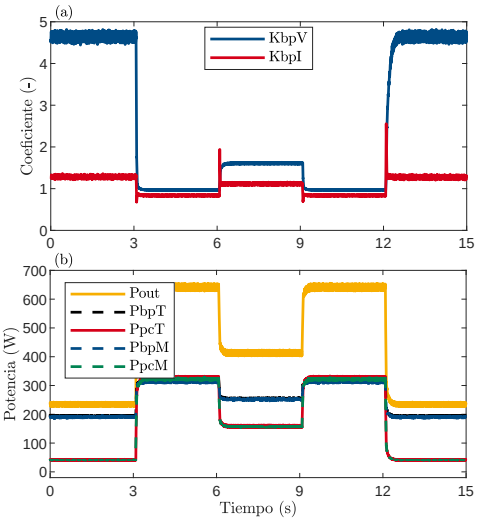
Al reducir la resistencia (aumentando la carga), se puede observar que los coeficientes de parcialidad convergen más rápidamente. Esto se debe a que, al operar con mayores cargas, el sistema se encuentra más cerca de su límite de corriente, lo que mejora la precisión en el control y la estabilidad del sistema.



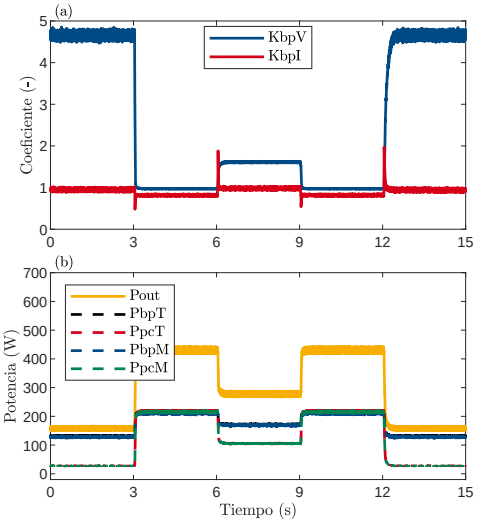
(a) Coeficiente de parcialidad con $R = 100\,\Omega$, $V_{in} = 100$ V.



(b) Coeficiente de parcialidad con $R = 150\,\Omega$, $V_{in} = 100$ V.



(c) Coeficiente de parcialidad con $R = 100\,\Omega$, $V_{in} = 125$ V.

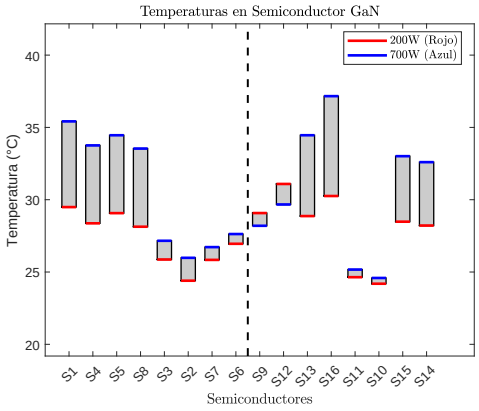


(d) Coeficiente de parcialidad con $R = 150\,\Omega$, $V_{in} = 125$ V.

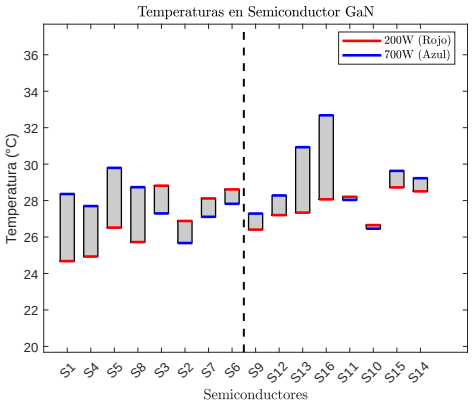
Figura 6.22: Análisis del coeficiente de parcialidad y validación de potencias en modalidad parcial, donde en cada figura se tiene: a) Coeficientes K_{bpV} y K_{bpI}, b) Potencias en la carga P_{out} medida, potencia procesada teórica P_{pcT}, potencia directa teórica P_{bpT}, potencia procesada medida P_{pcM} y potencia directa medida P_{bpM}.

6.11. Temperaturas

Se realizaron pruebas experimentales en 2 potencias, la cuales son $P_1 = 200$ W y $P_2 = 700$ W, permitiendo que el sistema alcanzara un estado de equilibrio térmico. A continuación, se registraron las temperaturas de los semiconductores en las modalidades de Potencia Completa y Potencia Parcial, Teniendo en cuenta que la temperatura ambiente era de unos 26.5^{o}C.



(a) Distribución de temperaturas en modalidad de Potencia Completa a P_1 y P_2.



(b) Distribución de temperaturas en modalidad de Potencia Parcial a P_1 y P_2.

Figura 6.23: Comparativa de temperaturas en semiconductores donde: a) Temperaturas en modalidad de potencia completa y b) Temperaturas en modalidad de potencia parcial.

Como se observa en la Figura 6.23, en la modalidad PPC los semiconductores se calientan significativamente menos en comparación con la modalidad FPC, lo que sugiere un menor estrés térmico al operar en condiciones de potencia parcial. Inclusive si se realiza un promedio de todas las temperaturas, se obtiene la siguiente tabla:

Tabla 6.6: Promedio de temperaturas para FPC y PPC.

Promedio utilizado	**Temperatura en ^{o}C en FPC**	**Temperatura en ^{o}C en PPC**
Promedio a P_1	27.6831	27.2119
Promedio a P_2	30.5945	28.4386
Promedio total	29.1388	27.8252

Para verificar la baja elevación de temperatura en el sistema, se realizaron capturas con la cámara térmica FLUKE mientras el sistema operaba a 700W en modalidad PPC. Las imágenes obtenidas se presentan a continuación, permitiendo evaluar visualmente los puntos

críticos de calentamiento.

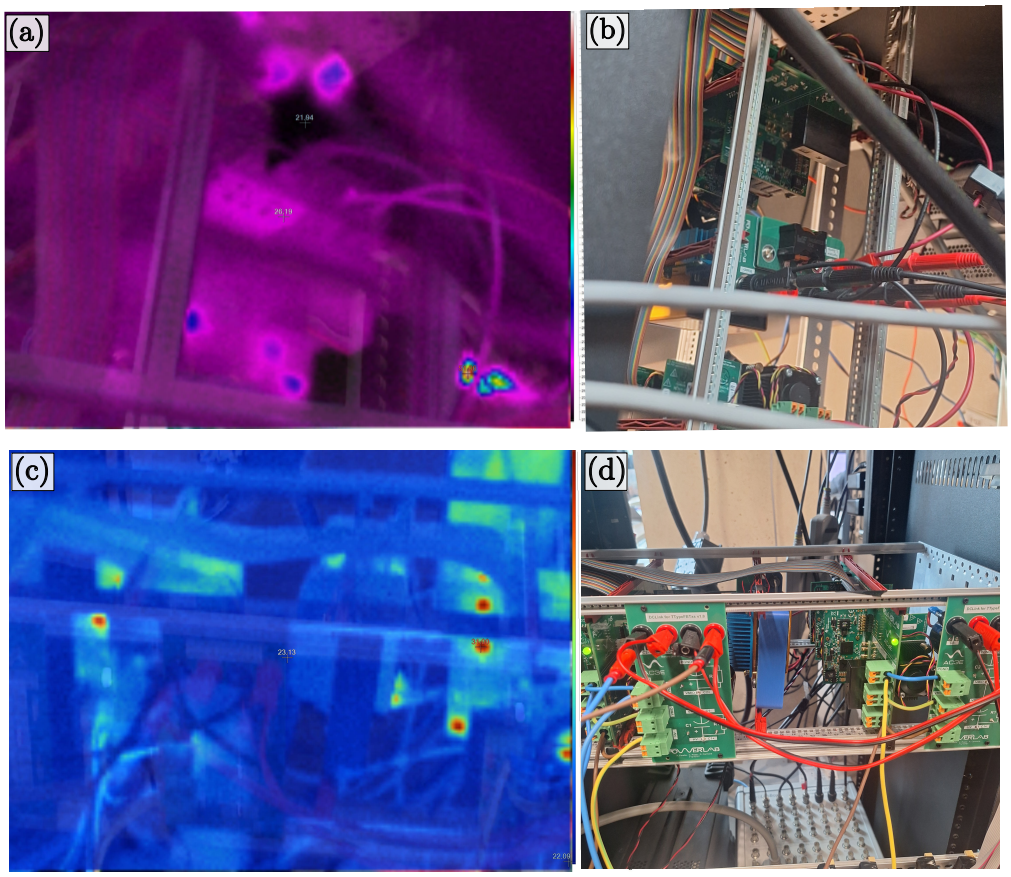


Figura 6.24: Imágenes capturadas con cámara térmica y fotografías reales: (a) Vista térmica del transformador, (b) Fotografía real del transformador, (c) Vista térmica de los semiconductores GaN, (d) Fotografía real de los semiconductores GaN.

En particular, se observa que no hay un incremento significativo de temperatura en el transformador. Lo que se aprecia en rojo en la imagen (c) corresponde a los semiconductores GaN y los aisladores de alta frecuencia.

6.12. Eficiencia

En esta sección se evaluará la eficiencia del sistema Utilizando el analizador de potencia Yokogawa WT3000E. La evaluación se centrará en los modos de operación en potencia completa y potencia parcial para distintos niveles de voltaje de salida, específicamente 200 V y 250 V, así como la variación de potencia en la carga. Esto para realizar las mismas pruebas realizadas en el Capítulo 5.

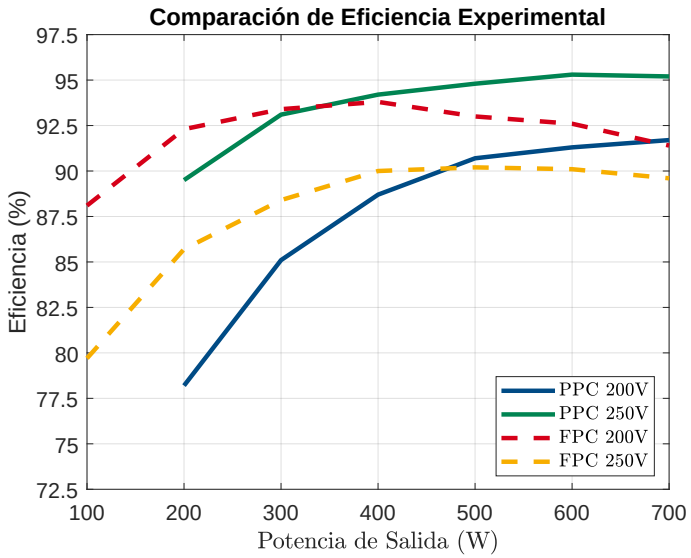


Figura 6.25: Comparación de eficiencia en los modos de potencia completa y potencia parcial para distintos niveles de voltaje de salida (200 V y 250 V) y variación de potencia en la carga.

Como se puede apreciar en la Figura 6.25, los resultados experimentales reflejan un comportamiento coherente con lo obtenido en las simulaciones previas. La eficiencia se mantiene alta en ambos modos de operación, con diferencias notables entre el modo de potencia completa y el modo de potencia parcial , especialmente bajo distintas condiciones de carga y niveles de voltaje.

En los resultados experimentales se puede apreciar de manera más significativa que trabajar con voltajes cercanos al óptimo en términos de corriente RMS resulta en una mayor eficiencia, esto se comprueba tanto en el modo FPC como en el PPC. Al comparar las eficiencias en la misma modalidad pero con diferentes voltajes de salida, siempre se observa que, cuando el voltaje está más cerca de $(n \cdot v_{bat})$ en el caso FPC o $((n+1) \cdot v_{bat})$ en el caso PPC, se obtiene una mayor eficiencia.

Otro aspecto interesante es que, a diferencia de lo observado en el capítulo de simulación, existen momentos en que el convertidor es más eficiente en modalidad FPC, especialmente a potencias bajas. Esto puede deberse a la influencia de la potencia reactiva, es decir, en estas potencias, el convertidor en FPC presenta una mayor potencia activa, lo que reduce la potencia reactiva y, en consecuencia, disminuye las pérdidas por armónicos. En cambio, en el modo PPC, al procesar menos potencia, el convertidor no se encuentra en un punto óptimo de potencia activa, lo que puede reducir su eficiencia en esas condiciones.

Capítulo 7

CONCLUSIONES

7.1. Resumen

EN ESTE TRABAJO se realizó un estudio de un nuevo convertidor basado en la combinación de las topologías T-type y DAB. La unificación de estas tecnologías fue concebida ya que permite obtener un convertidor DAB con más niveles en el lado primario.

Para llevar a cabo esto, primero se realizaron estudios en la modulación del convertidor, notando que se podía utilizar una basada en las modulaciones del T-type pero en forma diferencial. Para el modelo de la planta, se desarrollaron dos enfoques: uno basado en Fourier y otro en el Valor Medio, definiendo cómo se describe la transferencia entre el ángulo de desfase y el voltaje de salida.

Finalmente, se obtuvieron resultados de simulación tanto en lazo abierto como en lazo cerrado. En el último caso, se realizaron pruebas en los modos FPC y PPC, comprobando el correcto funcionamiento del sistema. Se observó que los capacitores se mantenían balanceados en todo momento, tanto en pruebas de lazo abierto como cerrado. Además, se comparó cómo los controladores derivados de los distintos modelos influían en las respuestas del sistema.

Se llevaron a cabo estudios sobre la importancia de ciertos componentes del sistema y también sobre el coeficiente de parcialidad.

Posteriormente, se realizaron validaciones experimentales replicando las mismas pruebas de simulación. Los resultados mostraron que el comportamiento del sistema era coherente, aunque con ciertas variaciones, principalmente debido a las diferencias intrínsecas entre la simulación y la realidad.

7.2. Conclusiones

Como conclusiones principales, se ha demostrado que es posible implementar una topología T-type DAB en modalidad parcial, logrando controlar el voltaje de salida, lo que valida empíricamente la hipótesis planteada.

Los resultados de simulación y experimentales mostraron máximos globales de 95.4 % y 95.3 % de eficiencia respectivamente, en ambos casos presentados en la modalidad parcial. En potencia completa la máxima eficiencia alcanzada fue de 93.4 % y 93.8 %, por lo que se tiene un incremento de entre 1.5 % y 2 % al emplear la modalidad parcial.

El convertidor planteado trabajó con potencias de hasta 700 W de forma experimental. Este límite estuvo condicionado por las características de la fuente de alimentación que cuenta con un máximo de 8.5 A, y los voltajes empleados, que nominalmente fue de 100 V en el primario y de 250 V en el secundario. Este voltaje fue condicionado para evitar operar cerca del límite máximo soportado por los semiconductores, cuya capacidad absoluta es de 600 V, considerando el efecto del sobrepaso.

En el análisis térmico, se identificó una diferencia de aproximadamente 2 ^{o}C entre las temperaturas de operación en las modalidades de potencia parcial y completa. Esta pequeña diferencia se debe al uso de refrigeración activa. Este variación podría volverse más abultada en sistemas que emplean unicamente refrigeración pasiva, por lo se tiene otra ventaja del uso de convertidores parciales.

A lo largo del trabajo realizado se mantuvieron constantes ciertos parámetros, como la frecuencia de conmutación, fijada en 100 kHz, seleccionada para verificar la robustez del sistema a altas frecuencias. Asimismo, se empleó un número de vueltas del transformador constante de $n = 2$, ya que se contaba con disponibilidad del componente con dicha característica.

Para determinar el número de vueltas n adecuado, se deben considerar los voltajes nominales deseados de entrada (v_{bat}) y salida (v_{pc}) del convertidor. Las relaciones correspondientes en FPC e IPOS-PPC están definidas como:

$$n_{fpc} = \frac{v_{pc}}{v_{bat}} \tag{7.1}$$

$$n_{ppc} = \frac{v_{pc}}{v_{bat}} + 1 = n_{fpc} + 1 \tag{7.2}$$

En relación con los modelos utilizados, se verificó que las formas de voltaje y corriente obtenidas mediante la técnica de Fourier, simulaciones y pruebas experimentales coincidieron, lo que demuestra la eficacia de las series de Fourier para representar sistemas no lineales. Por otra parte, la modulación generada provoca una característica triangular en la corriente alterna.

Por el lado alterno, también se observa que el valor medio de la corriente del primario es cercano a cero. Este comportamiento está relacionado con el balance de los capacitores,

tal como se plantea en el Capítulo 4. El rizado en el voltaje de los capacitores, aunque dependiente de la frecuencia y la capacitancia, resultó prácticamente despreciable en los valores de voltaje utilizados. Además, se destacó la importancia de la capacitancia de salida y de la inductancia de fuga en la modificación de la dinámica del sistema.

Finalmente, el análisis del coeficiente de parcialidad mostró que, a diferentes potencias, cuando la eficiencia aumentaba, los coeficientes tendían a igualarse. Para una correcta aplicación que no dependa exclusivamente de la eficiencia, se debe considerar que, si se utiliza el coeficiente basado en corriente, este debe relacionarse con la potencia de entrada. Por otro lado, si se emplea el coeficiente basado en voltaje, debe estar asociado a la potencia de salida del convertidor.

7.3. Trabajo Futuro

A continuación, se presentan algunas líneas de investigación y desarrollo que podrían explorarse en trabajos futuros:

- Realizar pruebas con los mismos parámetros utilizados, pero con un convertidor DAB en modalidades FPC y PPC, y comparar sus resultados en términos de THD, eficiencia, entre otros indicadores.
- Implementar el convertidor en situaciones más realistas, utilizando una batería como fuente de alimentación y un perfil de carga que simule el uso de un vehículo eléctrico.
- Investigar la implementación del convertidor en modalidad ISOP para explorar los beneficios potenciales en cuanto a eficiencia y manejo de potencia.
- Explorar la paralelización del convertidor mediante técnicas interleaved, con el objetivo de aumentar la potencia que el sistema puede manejar en su conjunto.
- Estudiar de forma detallada los diferentes estados de la modulación. En este trabajo se presentaron solo uno de los seis posibles, por lo que es necesario analizar los otros para evaluar su impacto en el comportamiento de la corriente y el balance de los capacitores.
- Investigar el efecto del cambio en el ancho de la modulación sobre la forma de la corriente. Utilizar técnicas como SHE para eliminar la tercera armónica, la cual es responsable en gran medida de la forma triangular de la corriente.
- Explorar la posibilidad de implementar técnicas de soft switching para aumentar la eficiencia del sistema.
- Aunque los capacitores no se desbalancean significativamente, sería interesante modificar la modulación para permitir un balance más activo de cargas y descargas entre los capacitores.

- Evaluar otros esquemas de modulación por desfase, como el DPS y el TPS, para mejorar la eficiencia y el control del sistema.
- Realizar un análisis más detallado del coeficiente de parcialidad y cómo las potencias, especialmente la reactiva, afectan su comportamiento.
- Caracterizar de manera más precisa los componentes dinámicos del sistema, como el inductor del transformador y los capacitores de salida, para reducir la lentitud observada en las dinámicas del sistema.
- Estudiar la bidireccionalidad del sistema para implementar frenado regenerativo.
- Profundizar en la caracterización del transformador para mejorar las simulaciones y adaptar mejor el sistema a las potencias y frecuencias de operación, evitando que el transformador se convierta en un cuello de botella.
- Explorar la posibilidad de aumentar la potencia del sistema y analizar cómo esto afecta la eficiencia y el comportamiento de los semiconductores.
- Realizar un estudio para determinar la frecuencia de conmutación óptima, ya que en este trabajo se fijó en 100 kHz. También sería relevante analizar el tiempo muerto y explorar esquemas como DTC.
- Rediseñar la PCB del convertidor pensando en el uso de otros módulos GaN para mejorar su rendimiento. Actualmente, el diseño está basado en las PCB generadas para los módulos LMG342XEVM-04, los cuales desperdician semiconductores al utilizar dos módulos de dos semiconductores cada uno para realizar una pierna bidireccional, esto puede generar errores debido al bucle de conmutación presente.

7.3.1. Comentarios

Algunas ideas expuestas en esta tesis no necesariamente corresponden a trabajo futuro, sino que surgen como reflexiones y preguntas abiertas planteadas durante el desarrollo del trabajo:

- Revisar la literatura para identificar técnicas avanzadas de modelado de la planta, como la identificación de sistemas, y explorar el uso de controladores más sofisticados, tales como el control predictivo basado en modelos (MPC) y control multivariable.
- Analizar en mayor profundidad las dos dinámicas observadas en el sistema: una relacionada con la corriente alterna y otra con el voltaje de salida. Este análisis podría derivar en la implementación de un esquema de control en cascada con dos lazos de control.

Apéndice A

REPORTE DE CAMBIO EN EL SLEW RATE DE LOS MÓDULOS LMG342XEVM-04X

Reporte de cambio del slewrate en módulo GaN LMG342XEVM-04

Ronald Carmona

1 Introducción

En este reporte se hará saber cómo afecta la modificación del slew rate de las tarjetas GaN. Para tener un análisis más directo, es importante observar los canales D11, D10 asociados a los switches Sa y Sb, y D9, D8 asociados a los switches Sc y Sd.

Las pruebas se realizaron con una carga RL de $R = 10\Omega$ y $L = 510\mu H$.

2 Tarjetas sin modificar

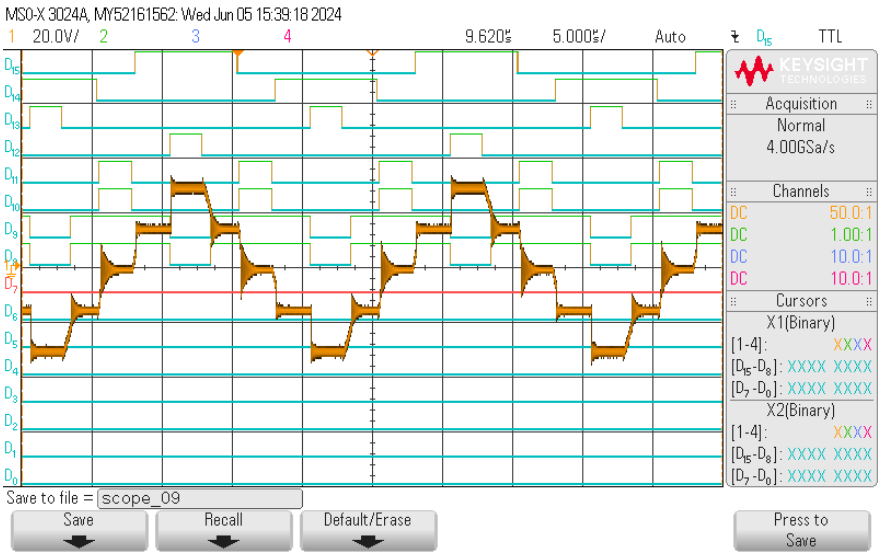


Figure 1: Tarjeta sin modificar a 30V y 50kHz

Se observa claramente que, cuando se enciende la pierna bidireccional en ambos casos, es decir, Sa,b y Sc,d, se generan oscilaciones notorias que perjudican el funcionamiento correcto del sistema. Es de notar que estas piernas sin modificar tienen un slew rate de 100V/ns, lo cual es elevado y genera el ringing observado.

Lo que se realizará ahora es modificar el slew rate variando una resistencia por una de 100 $k\Omega$de los módulos, el datasheet del fabricante indica que:

Se consigue así un aproximado de 40V/ns y un tiempo de encendido de 5ns.

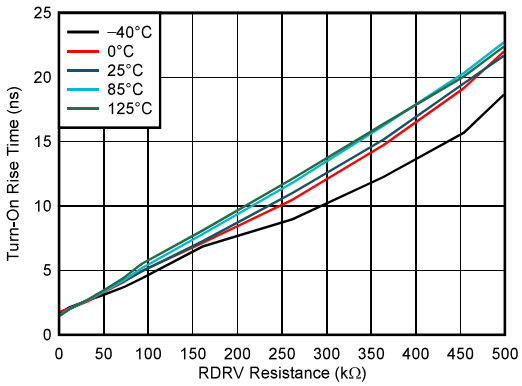


Figure 5-3. Turn-On Rise Time vs Drive-Strength Resistance

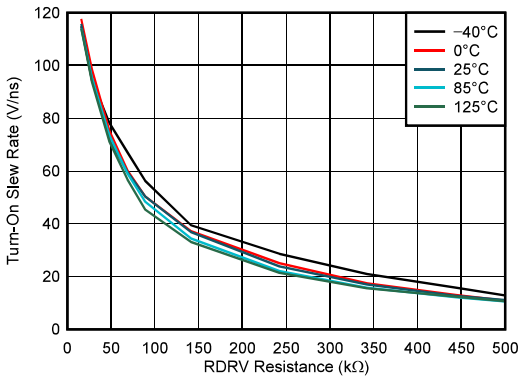


Figure 5-4. Turn-On Slew Rate vs Drive-Strength Resistance

Figure 2: Valores del slewrate con respecto a la resistencia y tambien tiempo de asentamiento logrado

3 Modificación de Sa,b

Ahora se cambia únicamente una pierna bidireccional con menor slew rate, esta será la asociada a D11 y D10.

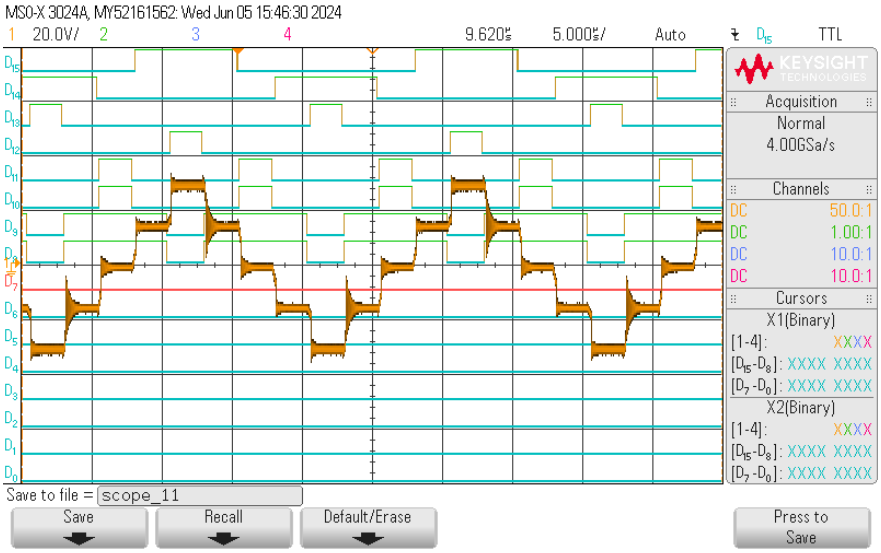


Figure 3: Sa,b a 30V y 50kHz

Se observa que, cuando se enciende Sa,b, ahora no se genera la oscilación prevista. También se aprecia que sigue existiendo la oscilación al encender D9 y D8, lo que nos hace intuir que, seguramente, el slew rate es el culpable de las oscilaciones.

4 Modificación de Sc,b

Finalmente, se realizará la misma prueba de antes, pero ahora se pondrá la pierna con menor slew rate en las señales asociadas a D9 y D8.

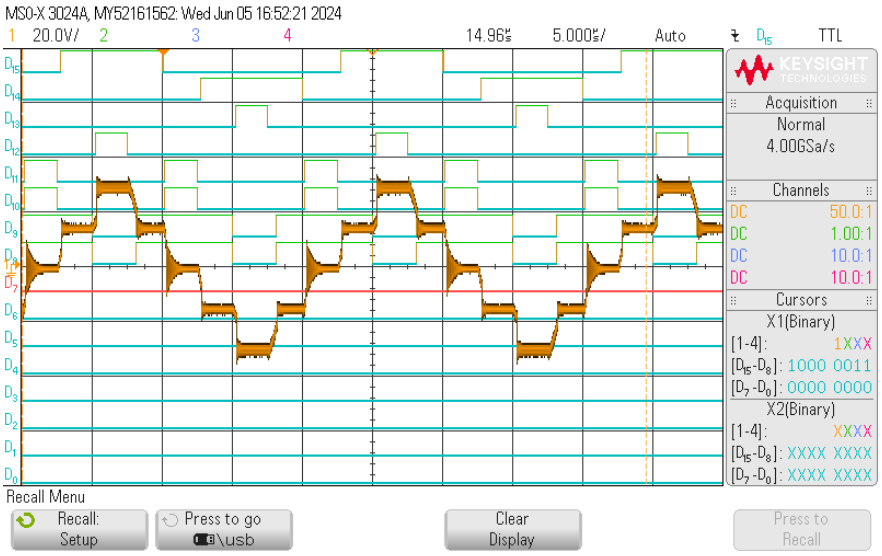


Figure 4: Sc,b a 30V y 50kHz

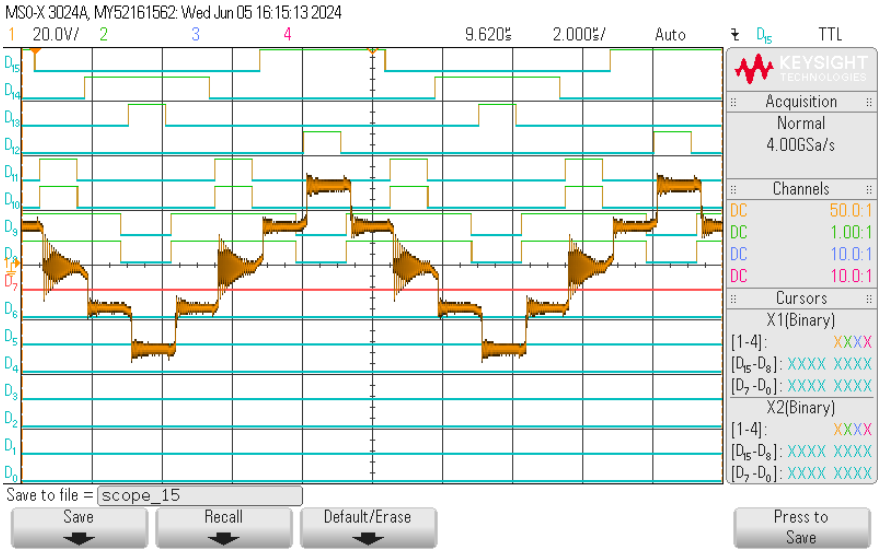


Figure 5: Sc,b a 30V y 100kHz

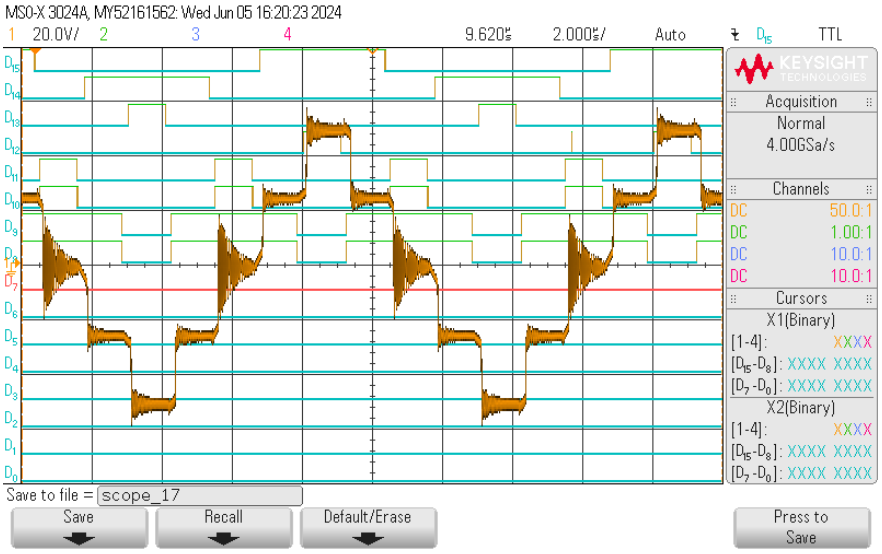


Figure 6: Sc,b a 50V y 100kHz

En este caso, se realizaron más pruebas, incluso con aumento de voltaje y aumento de frecuencia, llegando hasta los 50V a 100kHz. Se presenta lo mismo anterior, es decir, que si se modifica la pierna bidireccional reduciendo el slew rate, se provoca un encendido no oscilatorio. Es necesario observar que, cuando D9 y D8 se encienden, no se genera la oscilación, ya que estos son los switches modificados; en cambio, D11 y D10 sí oscilan, ya que tienen el slew rate sin modificar.

5 Conclusión

Principalmente, se recomienda cambiar el slew rate de todas las piernas bidireccionales. También se puede observar que tal vez no sea tan necesario en los switches del puente H, pero igualmente, cuando se aumente el voltaje, seguramente se tendrá la necesidad de esta modificación. Por recomendacion general, se prefiere el modificar todo el slew rate de los semiconductores.

Apéndice B

PUBLICACIONES GENERADAS

Las siguientes publicaciones fueron derivadas parcial o totalmente de la investigación realizada durante el desarrollo de este proyecto de tesis.

Conferencias Internacionales

1. R. Carmona, A. Stowhas-Villa, C. A. Rojas, H. Renaudineau and J. Marin, "High Power Density Electric Vehicle Powertrain Based on a T-Type DAB Partial Power DC-DC Converter,"2023 IEEE 8th Southern Power Electronics Conference and 17th Brazilian Power Electronics Conference (SPEC/COBEP), Florianopolis, Brazil, 2023, pp. 1-6, doi: 10.1109/SPEC56436.2023.10408313.

2. R. Carmona, I. A. Acosta, F. J. Vargas and C. A. Rojas, .ºn the Multivariable Control of a Three-Level Flying Capacitor Buck DC-DC Converter,"2024 IEEE ANDESCON, Cusco, Peru, 2024, pp. 1-6, doi: 10.1109/ANDESCON61840.2024.10755818.

3. A. Stowhas-Villa, R. Carmona, C. A. Rojas, A. H. Wilson-Veas and J. Marin, "Generalized Switch-Control Scheme for a Family of T-Type DAB GaN-based DC-DC Converters in EV Powertrain Applications,"2023 IEEE 8th Southern Power Electronics Conference and 17th Brazilian Power Electronics Conference (SPEC/COBEP), Florianopolis, Brazil, 2023, pp. 1-6, doi: 10.1109/SPEC56436.2023.10408257.

Proyectos Relacionados

1. ANID: FONDECYT Project 1210757.

2. ANID: FONDECYT Project 1240537.

3. ANID: FONDAP Project 1522A0006. SERC Chile.

4. ANID: Basal Project AFB240002 AC3E.

High Power Density Electric Vehicle Powertrain Based on a T-Type DAB Partial Power DC-DC Converter

Ronald Carmona[1], Alejandro Stowhas-Villa[1], Christian A. Rojas[1,2], Hugues Renaudineau[2], Jorge Marin[2]
[1]*Department of Electronics, Universidad Técnica Federico Santa María*
[2]*Advanced Center of Electrical and Electronics Engineering, Universidad Técnica Federico Santa María*
Valparaíso, Chile
ronald.carmona@sansano.usm.cl, c.a.rojas@ieee.org

2023 IEEE 8th Southern Power Electronics Conference (SPEC) | 979-8-3503-2112-8/23/$31.00 ©2023 IEEE | DOI: 10.1109/SPEC56436.2023.10408313

***Abstract*—A Partial Power Converter (PPC) interface is proposed in this paper with its corresponding control scheme to generate five-voltage levels at the primary side of the High-Frequency-Transformer (HFT). The power topology is specifically designed for the energy management of high-power density in Electric Vehicle (EV) powertrains. The implementation of a PPC Dual-Active-Bridge (DAB) based on a T-Type bridge gives the possibility of improved operation at quasi-sinusoidal current waveform in the HFT compared with conventional DAB. The core of this paper lies in the combination of this T-Type DAB topology with a PPC connection. The resultant topology named T-Type DAB PPC contributes to a further enhancement of efficiency at the HFT level and the overall efficiency due to the fact that only a part of the power is processed by the converter. The proof-of-concept of the topology and its dynamic operation commanded by a respective control scheme is demonstrated with simulation results.**

***Index Terms*—Dual-Active-Bridge, T-Type, Partial Power Converter, Linear Control, Electric Vehicle, EV Powertrains, GaN-Based DC-DC Converter.**

I. Introduction

Energy transition is a mandatory target for this decade, where alternatives such as renewable energy and electromobility applications can help to achieve emission goals of the transportation sector [1]. In fact, in those applications, the power electronics play a fundamental role. There is a strong tendency to include more high-power density converter interfaces into these systems. In modern cities, the distribution power grid requires higher power charging station due to the broad presence of electric vehicles (EV) for domestic, urban and local industry transportation. Thus, heavy-duty EV (HDEV) transportation requires high density at high efficiency integration of energy storage systems (ESS) in order to be fully electrified [2].

A popular solution in EV applications designed as a power configuration unit (PCU) is the conventional Dual-Active-Bridge (DAB) as a full power conversion unit (FPC) depicted in Fig. Ia [3]. The implementation of DAB converters, particularly in the context of high-power density, is a challenge. From the device and transformer stress point-of-view, semiconductors must be prepared to handle considerable power and switch at high frequencies, making the use of multilevel DAB (MLDAB) [4] based on GaN devices an interesting alternative for high density at high efficiency integration [3]. Even so, it is equally attractive to combine MLDAB with partial power conversion (PPC) schemes with an Input-Series-Output-Parallel (IPOS) connection in Fig. Ib to achieve the high efficiency and power density [5], [6].

This paper introduces the T-type DAB PPC presented in Fig. 2, which can reach five-levels in the primary of the high-frequency-transformer (HFT), thereby improving the overall efficiency of the system. The design, based on an PPC-IPOS in Fig. Ib, offers advantages such as stress mitigation on semiconductors due to the high voltage required by the load is shared between the converter and the battery. This design responds to the intrinsic need to achieve increasing medium voltages in DC, which leads to a significant improvement due to the reduction of the current that the inverter must manage, highlighting the importance of this strategy in the development of high-efficiency systems.

Finally, this paper presents a novel topology with a potential bidirectional power flow, by incorporating a DAB T-type PPC-IPOS DC-DC interface. As a result, high power density is achieved while maintaining a low footprint. The versatility and lightweight nature of this converter makes it an interesting

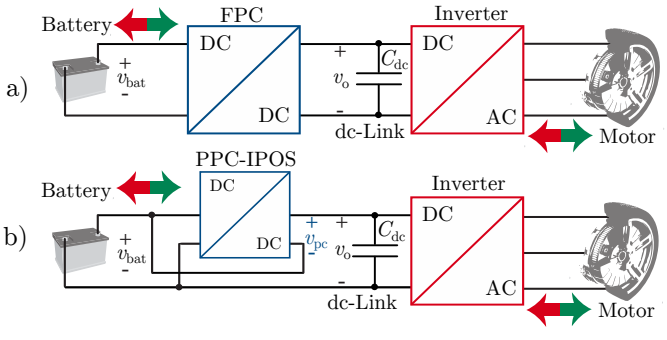


Figure 1. EV Powertrain configuration based on: a) full-power converter (FPC) and b) partial power converter (PPC) based on Input-Series-Output-Parallel (IPOS) connection.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:31 UTC from IEEE Xplore. Restrictions apply.

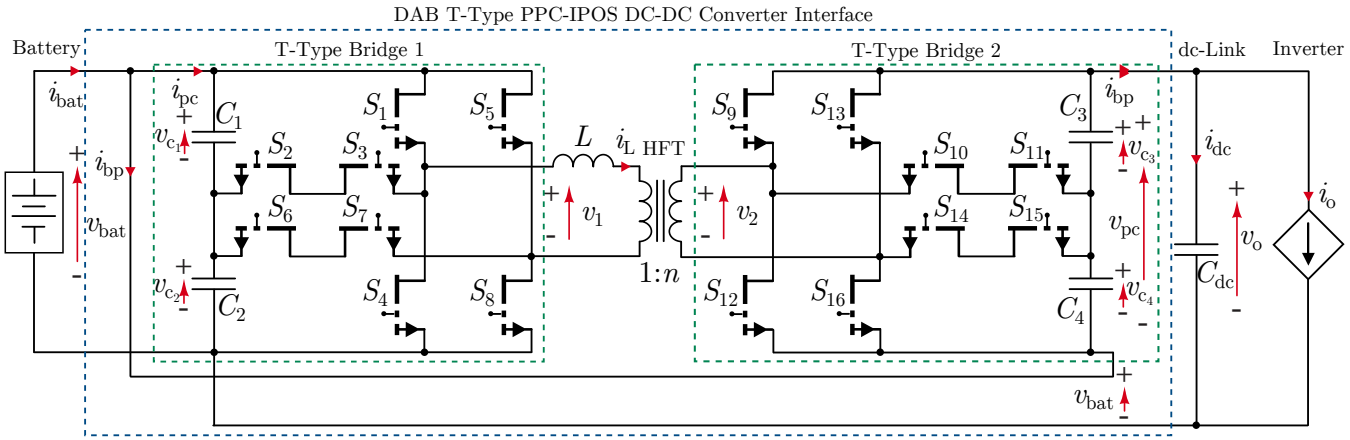


Figure 2. Proposed DAB T-Type PPC-IPOS DC-DC converter interface.

candidate for High Power Density EV powertrains.

Remaining of this paper is organized as follows. First, in section II, the converter modeling and control schemes candidates are presented. Then, section III presents simulation results. Finally, section IV summarizes the contribution of this paper.

II. Converter Modeling and Control Scheme

The converter depicted in Fig. 2 uses 16 semiconductors $S_1 - S_{16}$, where $S = 0, 1$ which generate a five-level voltage in the primary side of the HFT, i.e., v_1. This configuration is presented as a fully symmetrical power unit from the battery to the inverter and from the inverter to the battery to achieve potential bidirectional power flow with the same overall efficiency. The converter is composed by two T-Type bridges and an internal HFT. Table I illustrates that by focusing solely on Bridge 1, a five-voltage level waveform can be produced.

The IPOS configuration is modeled with the partial converter voltage v_{pc} connected in series with the battery voltage v_{bat} generating the load voltage v_o in (1). A similar relationsip is presented for the battery current i_{bat} formed by the sum of the bypass current i_{bp} and the partial converter current i_{pc} in (2). The IPOS connection inherently increases the output voltage, leading to several advantages, including reduced voltage peaks, less semiconductor stress, and significantly lower dv/dt values. One challenge of MLDAB is the capacitor balancing of both T-Type Bridges, where (3) and (4) are the fundamental equations to this requirement. Finally, the converter presents two dominant state variables: the HFT leakage inductor current i_L and the output DC-link capacitor voltage v_o, both equations illustrated in (5) and (6), respectively.

Table I
Switching States of T-Type Bridge 1

$S_{2,3}$	$S_{6,7}$	S_1	S_4	S_5	S_8	V_1 [V]	Capacitor Selection
0	0	1	0	0	1	V_{bat}	C_1 and C_2
1	0	0	0	0	1	$V_{bat}/2$	C_2
0	1	1	0	0	0	$V_{bat}/2$	C_1
1	1	0	0	0	0	0	-
1	0	0	0	1	0	-$V_{bat}/2$	C_1
0	1	0	1	0	0	-$V_{bat}/2$	C_2
0	0	0	1	1	0	-V_{bat}	C_1 and C_2

$$v_{\mathrm{o}} = v_{\mathrm{pc}} + v_{\mathrm{bat}}, \tag{1}$$

$$i_{bat} = i_{bp} + i_{pc}, \tag{2}$$

$$v_{\mathrm{bat}} = v_{c1} + v_{c2}, \tag{3}$$

$$v_{\mathrm{pc}} = v_{c3} + v_{c4}, \tag{4}$$

$$L\frac{di_L}{dt} = v_1 - \frac{v_2}{n}, \tag{5}$$

$$C_{\mathrm{dc}}\frac{dv_{\mathrm{o}}}{dt} = i_{bp} - i_o. \tag{6}$$

Together with the system modeling in (1)-(6), a conventional control scheme based on harmonic approximations is revisited, which is reported in [7]. The derivation of this control scheme is simple for conventional DAB, but its extension to T-type DAB and PPC connection is not straightforward. For this reason, in this paper a simplified control scheme based on average current values is proposed. Next, those two control schemes cases are compared and evaluated. Both control schemes are based on phase-shift modulation (PSM) [8] to manage the firing pulses of the converter gate signals, to achieve capacitor balancing and to regulate the load voltage imposed by the inverter requirements.

A. Case 1: Control scheme based on harmonic approximation

This control strategy named as (Case 1) is presented in Fig. 3a, which aims to regulate the load output voltage v_o [7]. Note that a feedforward compensation is added to improve the output voltage control loop dynamic. Then, the gate pulses G_1-G_{16} are generated by using a phase shift angle δ between both T-Type bridges 1 and 2, which is implemented by using PSM. The capacitor voltage balance in the control scheme of Case 1 is based on the control model already presented in [9]. Here a model between the capacitor voltage difference and the neutral point current is used. Then, two capacitor-balancing control loops based on PI controllers are added to

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:31 UTC from IEEE Xplore. Restrictions apply.

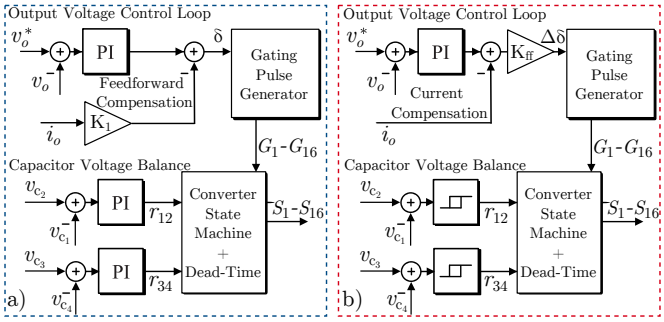


Figure 3. Evaluated control schemes: a) Case 1 and b) Case 2: Proposed Control Scheme.

generate two redundant signals r_{12} and r_{34} as an input to the converter state machine and dead-time generation. Both variables can be used as flags for achieving voltage balance. In fact, the difference between the input and output capacitors will determine the sign of this flag. This method offers an effective strategy for capacitor voltage balance. Finally, from this commutation flow the switching signals S_1 to S_{16} are generated. Close-loop bandwidth load and capacitor voltages are added in Table II.

B. Case 2: Control scheme based on average current values

In the continuous pursuit of simplifying the control modeling of the T-Type DAB converter and its extension to PPC operation, especially focusing on its five-level operation, conventional control strategies often fall short in terms of adaptability and generality. This prompted the development of a novel control strategy rooted in the average value of the primary current signal. This proposed control scheme named as (Case 2) is presented in Fig. 3b. This method uses the system dynamic differential equations in (5) and (6) as the fundamental equations to derive the control law.

Throughout a singular inductor current cycle i_L, with the system in a steady state, the primary voltage (V_1) and the secondary voltage (V_2) remain invariant due to switched capacitor voltage levels. Both take on constant values, with the values for V_1 provided in Table I. The values for V_2 are similar, but with v_{pc} as the maximum value. Given that the values will remain constant depending on the period under analysis, thus (5) can be rewritten in its integral form.

$$i_L(t) = \frac{t}{L}(V_1 - \frac{V_2}{n}) \tag{7}$$

Based on [10], it is described that it is possible to find a relationship between the average value of the current i_L and δ. Upon doing the same, it is noticed that the result is non-linear in terms of δ, v_{bat}, and v_{pc}. Therefore, it is linearized around an operating point with recurrent vicinity, denoted as point Q. After performing this operation, the following relationship is found:

$$\Delta\bar{i}_L = k_d\Delta\delta + K_{v1}\Delta v_{bat} + K_{v2}\Delta v_{pc} \tag{8}$$

with $Q = (\bar{i}_L^q, \delta^q, v_{\text{bat}}^q, v_{\text{pc}}^q) = (0\ A, 0\ \text{rad/s}, 600\ V, 200\ V)$. Delving into power analysis, the output power is given by $P_o = i_o v_o$. Under the assumption of no capacitor current and lossless conditions, this is equivalent to $v_{bat}i_{bat} = i_{bp}v_o$. Then, the following steady-state relation is presented:

$$v_{bat}(i_{bp} + i_{pc}) = i_{bp}(v_{pc} + v_{bat}). \tag{8}$$

Thus, it can be deduced from (8) that:

$$i_{bp} = \frac{v_{bat}}{v_{pc}} i_{pc}, \tag{9}$$

$$i_{bp} = K_{bp} i_{pc}. \tag{10}$$

The relationship between the inductor current $\Delta\bar{i}_L$ and $\bar{i}_{pc}$, can be assumed linearly equivalent in a simplified scenario.

$$\bar{i}_{bp} \approx K_{bp}\Delta\bar{i}_L, \tag{11}$$

where, by incorporating this into our earlier equation (8) and considering Δv_{bat} as a perturbation (thereby set to zero), the system relation becomes:

$$C_{\text{dc}}\frac{d\Delta v_{\text{o}}}{dt} = K_{bp}(k_d\Delta\delta + K_{v1}\Delta v_{bat} + K_{v2}[\Delta v_o - \Delta v_{bat}]) - i_o$$

$$C_{\text{dc}}\frac{d\Delta v_{\text{o}}}{dt} = K_{bp}(k_d\Delta\delta + K_{v2}\Delta v_o) - i_o, \tag{12}$$

with the actuation control variable δ_x defined as:

$$\delta_x \triangleq K_{bp}k_d \cdot \Delta\delta - i_o. \tag{13}$$

The above equation can be simplified to:

$$C_{\text{dc}}\frac{d\Delta v_{\text{o}}}{dt} = \delta_x + K_{bp}K_{v2} \cdot \Delta v_o. \tag{14}$$

Thus, the transfer function $H_{vo}(s)$ used to modeling the relationship between the output voltage and the actuation variable and to design the respective output voltage control loop becomes:

$$H_{vo}(s) = \frac{\Delta v_o}{\delta_x} = \frac{1}{C_{\text{dc}}s - K_{bp}K_{v2}}. \tag{15}$$

Finally, to implement a direct current compensation at the controller output, the relationship is given as:

$$\Delta\delta = \frac{\delta_x + i_o}{K_{bp}k_d} = K_{\text{ff}}(\delta_x + i_o). \tag{16}$$

Note that, the input and output capacitor voltage balance presented for Case 1 is simplified by using just two simple control loops based on relays for the control scheme of Case 2.

Table II
SIMULATION PARAMETERS.

System Parameters	Value	Control Parameters	Value
Battery voltage, $[V_{bat}]$	600 V	Converter voltage, v_{pc}	200 V
HFT inductance, $[L_1]$	10.7 μH	Partial ratio, K_{bp}	3
Capacitors, $[C_{1,2,3,4}]$	440 μF	Phase constant, K_d	5.11 A/rad
Inverter Capacitor, $[C_{dc}]$	1 mF	Phase constant, K_{v2}	0.0146 S
HFT turns ratio, $[n]$	2	v_o Bandwidth, BW_{vo}	100 Hz
Switching frequency, $[f_{sw}]$	10 kHz	v_c Bandwidth, BW_{vc}	1 kHz
Nom. Power $[P_{High}]$	10 kW	Load current, i_o	12.5 A

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:31 UTC from IEEE Xplore. Restrictions apply.

III. Simulation Results

The proposed converter interface and the above control schemes have been tested in simulations by using PLECS 4.7.3 software, where the overall system and control parameters are summarized in Table II.

A. Results with the conventional controller - Case 1

In Fig. 4, the system is tested by requiring a load voltage v_o=800 V in Fig. 4b from a battery voltage of 600 V in Fig. 4a. Note that the bridge 1 voltage is a five-level voltage waveform in Fig. 4c and the primary current is quasi-sinusoidal in Fig. 4d.

The above operation condition is used as an initial condition but v_o^* is reduced to only 600 V in Fig. 5b. Note that, power is reduced from 10 kW to 7.5 kW in 20 ms in Fig. 5c and the partial voltage is reduced too from 200 V to 0 V. This voltage is generated by the sum of v_{c3} and v_{c4} as depicted in Fig. 5e. Furthermore, a proper voltage balance of the input capacitors is observed in Fig. 5d.

Subsequently, Fig. 4 condition is used as an initial condition but v_o^* is increased from 800 V to 1000 V in Fig. 6b. Note that, power is increased from 10 kW to 12.5 kW in 70 ms in Fig. 6c and the partial voltage is increased too from 200 V to 400 V. This voltage is generated by the sum of v_{c3} and v_{c4} as depicted in Fig. 6e. Furthermore, a proper voltage balance of the input capacitors is observed in Fig. 6d.

From the control point-of-view, the system performs well, with limited voltage overshoot and all the signal ranges within the margins expected given the proposed control loop.

B. Results with the conventional controller - Case 2

The steady state operation by using the proposed controller of Case 2 is depicted in Fig. 7. The same voltage and power operating condition of Fig. 4 are retained. Based on Fig. 7c we concluded that the five-level voltage waveform at the primary transformer is symmetric in terms of voltage levels. This symmetry enable the generation of a simplified model.

Fig. 8 presents dynamic simulation results with a reduced power transition based on the same operating point as in Fig. 5. Note that, power is reduced from 10 kW to 7.5 kW in only

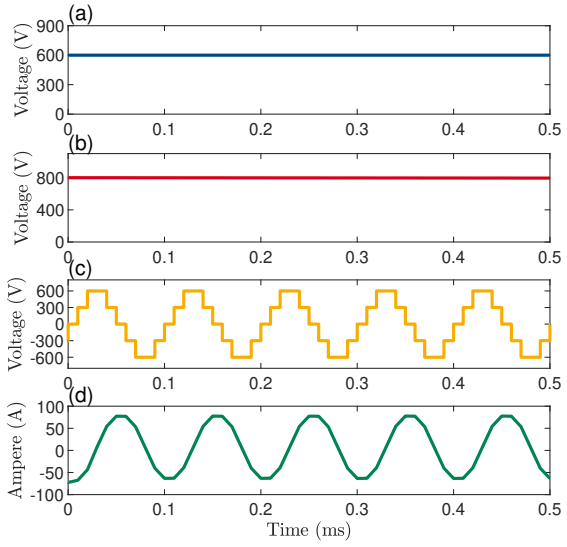


Figure 4. Steady-state results for Case 1: a) battery voltage v_{bat}; b) load voltage v_o; c) bridge 1 voltage v_1 and d) bridge 1 current i_L.

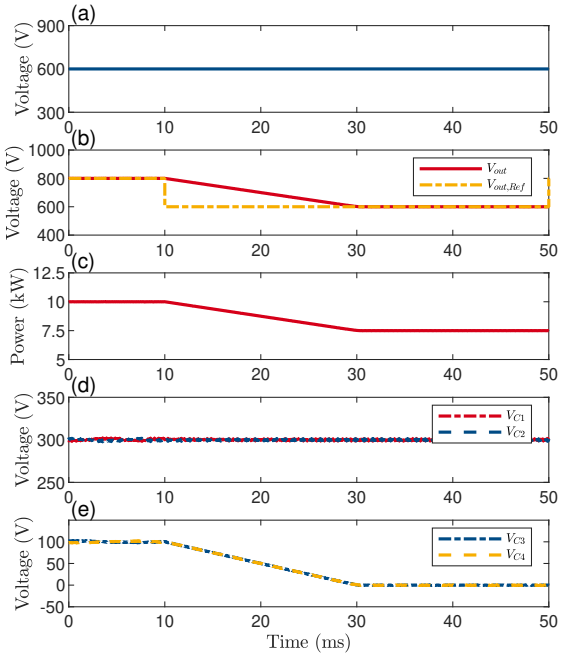


Figure 5. Step-down dynamic results for Case 1: a) battery voltage v_{bat}; b) load voltage v_o and its reference v_o^*; c) load power; d) input capacitor voltages v_{c1}, v_{c2} and output capacitor voltages e) v_{c3}, v_{c4}.

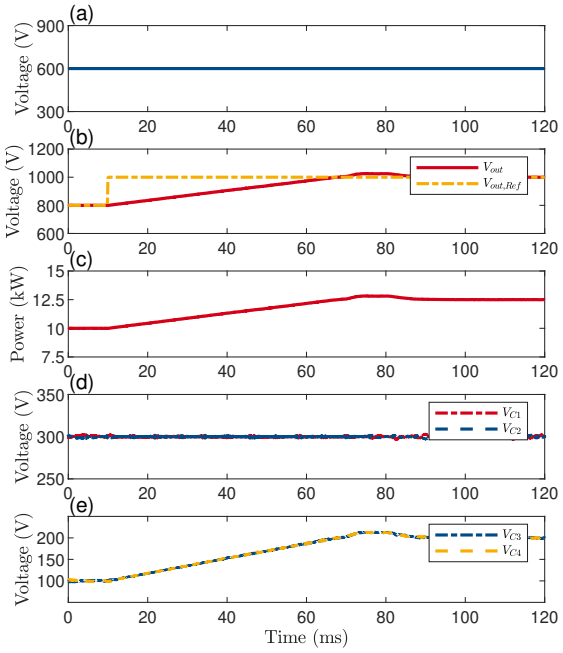


Figure 6. Step-up dynamic results for Case 1: a) battery voltage v_{bat}; b) load voltage v_o and its reference v_o^*; c) load power; d) input capacitor voltages v_{c1}, v_{c2} and output capacitor voltages e) v_{c3}, v_{c4}.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:31 UTC from IEEE Xplore. Restrictions apply.

10 ms in Fig. 8c. Instead of the use of relays to control the capacitor voltages, the balance of the capacitors is improved with respect to the performance of the controller in Case 1. Fig. 9 presents a dynamic simulation results with an increased power transition based on the same operating point than Fig. 6. Note that, power is increased from 10 kW to 12.5 kW in only 66 ms in Fig. 9c.

From the control point-of-view, the system performs in an expected fashion, with a simplified model, reduced voltage overshoot, reduced settling time, primary side transformer voltage symmetry. However, dedicated studies have been performed to minimize the DC offset current at HFT making this implementation more feasible for experimental applications [11], [12].

Additionally, a new simulation result is presented in Fig. 10 to illustrate the achieved voltage partiality derived in a partial current at the input is provided in comprehensive analysis. In this operating point v_o=800 V, v_{bat}=600 V, then v_{pc}=200 V, and K_{bp}=v_{bat}/v_{pc}=3 and from (10) the same partial current relation i_{bp}/i_{pc}=3 is depicted in Fig. 10e. It confirms that the partial ratio term remains consistent regardless of whether it is based on voltage or current.

C. Efficiency results compared with conventional DAB

An efficiency evaluation based on thermal models with a GaN device model GS66516B is derived. The equivalent impedance model at the primary of transformer is L_1=10.7 μH and R_1=0.043 Ω derived from empirical measurements associated with a practical HFT. Next, a power sweep from 3 to 11 kW is performed. These simulations are depicted in Fig. 11. The nominal efficiency of the proposed DAB T-Type PPC-IPOS is 98.6% . A brief comparison with conventional full-power DAB converter is additionally performed in Fig. 11 showing a flat efficiency for the high power range. Finally, a superior performance in terms of efficiency is obtained with the proposed topology with respect to conventional DAB.

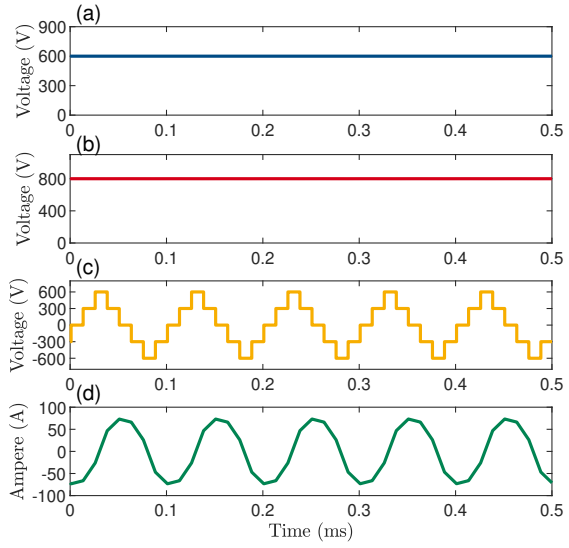


Figure 7. Steady-state results for Case 2: a) battery voltage v_{bat}; b) load voltage v_o; c) bridge 1 voltage v_1 and d) bridge 1 current i_L.

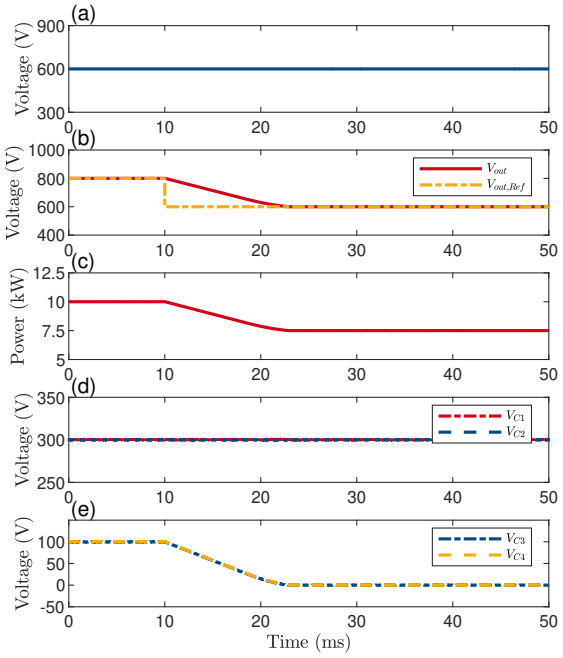


Figure 8. Step-down dynamic results for Case 2: a) battery voltage v_{bat}; b) load voltage v_o and its reference v_o^*; c) load power; d) input capacitor voltages v_{c1}, v_{c2} and output capacitor voltages e) v_{c3}, v_{c4}.

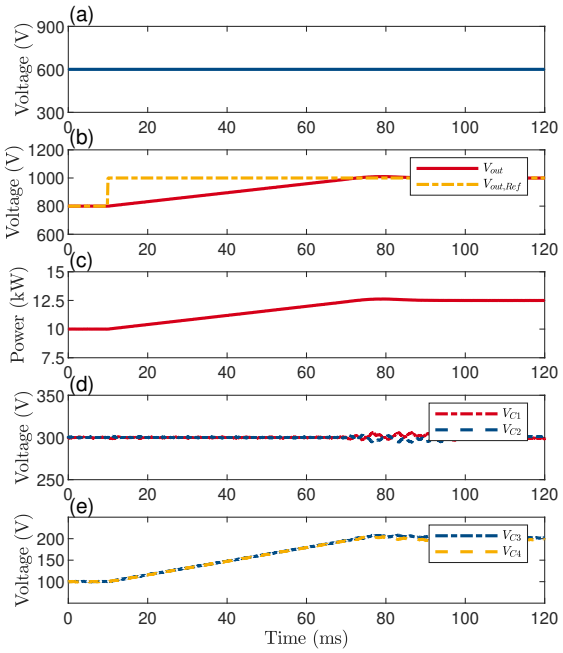


Figure 9. Step-up dynamic results for Case 2: a) battery voltage v_{bat}; b) load voltage v_o and its reference v_o^*; c) load power; d) input capacitor voltages v_{c1}, v_{c2} and output capacitor voltages e) v_{c3}, v_{c4}.

IV. Conclusion

This study has introduced a multilevel DAB topology named as DAB T-Type PPC-IPOS. The proposed converter has several

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:31 UTC from IEEE Xplore. Restrictions apply.

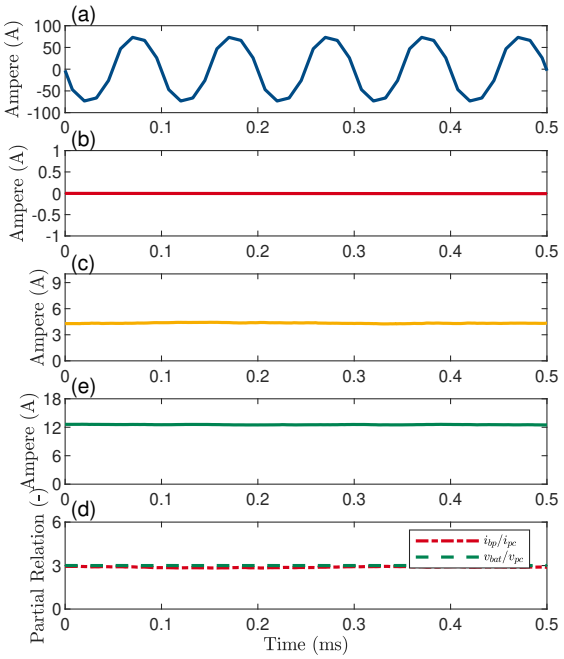


Figure 10. Additional steady state results for Case 2: a) instantaneous primary side current i_L; b) average value of primary current $\bar{i}_L$; c) average value of bypass current $\bar{i}_{bp}$; d) average value of input current to the T-type bridge 1 $\bar{i}_{pc}$; e) instantaneous value of the voltage partial relationship K_{bp}.

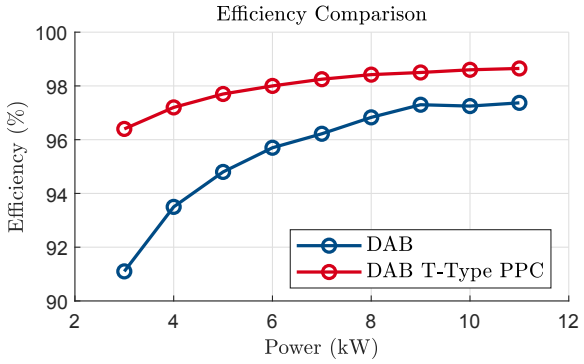


Figure 11. Efficiency of the proposed DAB T-Type PPC-IPOS DC-DC Converter Interface by using control in Case 2 and compared with conventional DAB.

advantages such as partial power processing, five-level voltage on the transformer primary side, resulting in a quasi-sinusoidal current and reduced dv/dt. This quasi-sinusoidal behavior is indicative of the converter ability to operate with minimized harmonic distortion, which is crucial for the longevity and efficient operation of electric systems especially at the high frequency transformer level.

Furthermore, the use of a PPC-IPOS partial scheme minimizes the converter stress due to a boosting voltage operation. This is a valuable tool for high-density EV powertrain applications. On the other hand, the obtained efficiency with the proposed converter is improved compared to conventional DAB converter and the efficiency curve is constant at high power ranges.

Two control schemes have been evaluated and compared. The proposed control scheme based on average current signals is more simple and straightforward than the conventional control scheme based on harmonic modeling. This control scheme can be generalized for different types of partial converters with HFT as AC link.

The converter adaptability to varying load conditions, coupled with its efficient partial power processing capabilities present a strong candidate DC-DC converter for high power density powertrains in the next-generation of EV applications. Future work of this research in this article includes experimental validation of the proposed partial power configuration and proposed control scheme.

Acknowledgment

This work was supported by Agencia Nacional de Investigacion y Desarrollo (ANID): AC3E (ANID/Basal/FB0008), SERC Chile (ANID/FONDAP/1522A0006), and ANID/FONDECYT Regular/1210757.

References

[1] J. Rodriguez, F. Blaabjerg, and M. P. Kazmierkowski, "Energy Transition Technology: The Role of Power Electronics," *Proceedings of the IEEE*, vol. 111, no. 4, pp. 329–334, 2023.

[2] Z. Quan, L. Ge, Z. Wei, Y. W. Li, and L. Quan, "A Survey of Powertrain Technologies for Energy-Efficient Heavy-Duty Machinery," *Proc. of the IEEE*, vol. 109, no. 3, pp. 279–308, 2021.

[3] S. Rivera, S. M. Goetz, S. Kouro, P. W. Lehn, M. Pathmanathan, P. Bauer, and R. A. Mastromauro, "Charging Infrastructure and Grid Integration for Electromobility," *Proceedings of the IEEE*, vol. 111, no. 4, pp. 371–396, 2023.

[4] C. Song, A. Sangwongwanich, Y. Yang, and F. Blaabjerg, "A Model-Free Capacitor Voltage Balancing Method for Multilevel DAB Converters," *IEEE Transactions on Power Electronics*, vol. 38, no. 1, pp. 79–84, 2023.

[5] N. G. F. dos Santos, J. R. R. Zientarski, and M. L. d. S. Martins, "A Review of Series-Connected Partial Power Converters for DC–DC Applications," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 10, no. 6, pp. 7825–7838, 2022.

[6] J. Anzola, I. Aizpuru, A. A. Romero, A. A. Loiti, R. Lopez-Erauskin, J. S. Artal-Sevil, and C. Bernal, "Review of architectures based on partial power processing for dc-dc applications," *IEEE Access*, vol. 8, pp. 103 405–103 418, 2020.

[7] D. Segaran, D. G. Holmes, and B. P. McGrath, "Enhanced load step response for a bidirectional dc–dc converter," *IEEE Transactions on Power Electronics*, vol. 28, no. 1, pp. 371–379, 2013.

[8] C. S. Beckmann, C. A. Rojas, H. Renaudineau, S. Kouro, H. Young, R. Opazo, and S. Rivera, "Comparison of Modulation Strategies for a Dual Active Bridge Partial Power DC-DC Converter in EV Powertrains," in *IECON 2022 – 48th Annual Conference of the IEEE Industrial Electronics Society*, 2022, pp. 1–6.

[9] C. A. Rojas, M. Aguirre, S. Kouro, T. Geyer, and E. Gutierrez, "Leakage current mitigation in photovoltaic string inverter using predictive control with fixed average switching frequency," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 12, pp. 9344–9354, 2017.

[10] C. Mi, H. Bai, C. Wang, and S. Gargies, "Operation, design and control of dual h-bridge-based isolated bidirectional DC–DC converter," *IET Power Electronics*, vol. 1, no. 4, p. 507, 2008. [Online]. Available: https://doi.org/10.1049/iet-pel:20080004

[11] N. Hou, J. Hu, D. Mou, Y. Zhang, Y. W. Li, and R. W. De Doncker, "A simple dc-offset eliminating method of the series-inductance current for the dab dc–dc converter," *IEEE Transactions on Power Electronics*, vol. 38, no. 4, pp. 4224–4228, 2023.

[12] S. A. Assadi, H. Matsumoto, M. Moshirvaziri, M. Nasr, M. S. Zaman, and O. Trescases, "Active mitigation of transformer saturation in a dual-active-bridge converter for electric vehicle chargers," in *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*, 2018, pp. P.1–P.10.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:31 UTC from IEEE Xplore. Restrictions apply.

On the Multivariable Control of a Three-Level Flying Capacitor Buck DC-DC Converter

Ronald L. Carmona
Departamento de Ingeniería Electrónica
Universidad Técnica Federico Santa María
Valparaíso, Chile
ronald.carmona@sansano.usm.cl

Ignacio A. Acosta
Departamento de Ingeniería Electrónica
Universidad Técnica Federico Santa María
Valparaíso, Chile
ignacio.acosta@sansano.usm.cl

Francisco J. Vargas
Departamento de Ingeniería Electrónica
Universidad Técnica Federico Santa María
Valparaíso, Chile
francisco.vargasp@usm.cl

Christian A. Rojas
Departamento de Ingeniería Electrónica
Universidad Técnica Federico Santa María
Valparaíso, Chile
christian.rojas@usm.cl

***Abstract*—In this article, multivariable control strategies are developed for a three-level flying capacitor buck DC-DC converter, tailored for electric vehicle powertrain applications. The work presents a linearization of the Continuous Time Averaged Model of the converter in state space and transfer function matrix. Additionally, it introduces a multi-input multi-output control time-domain design using a Linear Quadratic Integral approach based on this linearized model. Further, a frequency-domain design for structured multi-input multi-output control is proposed, utilizing $\mathcal{H}_\infty$ loop-shaping derived from a mixed-sensitivity approach. Each methodology is elaborated with corresponding simulation results, showcasing the effectiveness of the control strategies. The paper methodically progresses from model development and linearization through control design and performance analysis, providing a thorough examination of the dynamic control of the converter, and its capabilities within a multivariable framework.**

***Index Terms*—DC-DC power conversion, Flying capacitor buck converter, LQI control, H infinity control.**

I. Introduction

Power converters are crucial in modern electrical systems, converting energy from sources into forms usable by various devices. The three-level flying capacitor buck converter (3L-FCBC) stands out as an advanced solution in power conversion technology, especially for high-power applications like electric vehicle (EV) powertrains. The 3L-FCBC, characterized by its ability to operate at higher frequencies, offers improved energy efficiency—a critical factor in reducing energy losses in EV powertrain systems. The use of a flying capacitor (FC) in this topology helps to reduce voltage stress across switching devices, thus enhancing reliability and enabling smaller component sizing and greater overall system efficiency [1]–[3].

The complexity of 3L-FCBCs arises from their multi-input multi-output (MIMO) nature, necessitating simultaneous management of multiple inputs and outputs to optimize performance. This complexity introduces challenges in control strategy implementation, where traditional single-input single-output (SISO) control methods often fall short. While SISO strategies simplify control by breaking down multivariable systems into simpler, independently controlled units, this often leads to compromises in achieving global system performance objectives due to the inherent interdependencies between system variables [3].

In advanced control strategies of power converters, the Linear Quadratic Regulator (LQR) approach [4]–[6] and the Linear Quadratic Integral (LQI) approach [7] are widely recognized for their effectiveness in managing linear and time-invariant systems through optimal control. By linearizing the nonlinear dynamics of the system, LQR and LQI control can be implemented to efficiently manage the complexities of 3L-FCBCs [8]. Moreover, the $\mathcal{H}_\infty$ control technique [6], [9], particularly through a mixed-sensitivity approach, offers robust solutions to manage uncertainties and ensure system stability across various operating conditions. This method is useful in high-stakes applications, where reliability and robustness are paramount [10]–[12].

Despite the utility of SISO controls in certain scenarios, their application in complex systems like 3L-FCBCs often results in suboptimal performance due to their inability to adequately address the coupled dynamics and interdependencies between system states and outputs. This limitation is a significant draw-

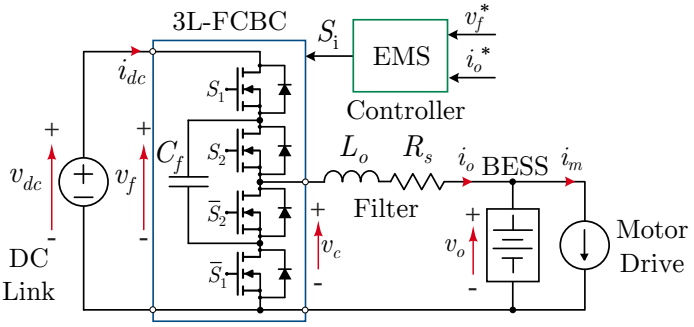


Fig. 1: Diagram of 3L-FCBC topology.

This work is supported in part by AC3E (ANID/BASAL/FB0008), by the SERC Chile (ANID/FONDAP/1522A0006), by the Chilean research grant ANID/FONDECYT Regular/1241813 and ANID/FONDECYT Regular/1240537.

979-8-3503-5528-4/24/$31.00 ©2024 IEEE

2024 IEEE ANDESCON | 979-8-3503-5528-4/24/$31.00 ©2024 IEEE | DOI: 10.1109/ANDESCON61840.2024.10755818

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 28,2024 at 14:25:05 UTC from IEEE Xplore. Restrictions apply.

TABLE I: Switching states of the 3L-FCBC.

State	S_1	S_2	$\overline{S}_1$	$\overline{S}_2$	v_c
0	1	1	0	0	v_{dc}
1	1	0	0	1	$v_{dc} - v_f$
2	0	1	1	0	v_f
3	0	0	1	1	0

TABLE II: Parameters and nominal values.

Parameter	Value	Units
DC Link voltage	$v_{dc} = 600$	V
Switching frequency	$f_{sw} = 100$	kHz
Output current	$i_o = 100$	A
FC voltage	$v_f = 300$	V
Output voltage	$V_o = 380$	V
FC	$C_f = 0.47$	mF
Inductor	$L_o = 0.5$	mH
Inductor resistor losses	$R_s = 0.1$	Ω
Load	$R_o = 3.8$	Ω

back, particularly in applications demanding high efficiency and precision, such as in electric vehicle powertrains, where the control of power flow must be precise and efficient to maximize battery life and vehicle range.

Building on previous works, this article proposes the design and analysis of multivariable control for the 3L-FCBC using LQI control as a time-domain approach and $\mathcal{H}_\infty$ control as a frequency-domain approach. The linearization of the converter model is performed in the state space, thereby tuning controllers with design guarantees in terms of performance for a decoupled response of the FC voltage with respect to load variations and input voltage, constraints, and robustness of the control system.

The main contributions of this paper are: i) Proposal for linearization of the Continuous Time Averaged Model of the converter in state space and transfer function matrix. ii) Design of MIMO control for the 3L-FCBC using an LQI approach based on the linearized state space model. iii) Design of structured MIMO control for the 3L-FCBC using $\mathcal{H}_\infty$ loop-shaping based on a mixed-sensitivity approach.

The rest of this paper is organized as follows. The proposal of the 3L-FCBC model along with its continuous-time averaged model in state space and transfer function matrix are presented in Section II. The formulation of the LQI problem and tuning of the corresponding controller in augmented state space are addressed in Section III. The formulation of $\mathcal{H}_\infty$ Control, proposal for S/T mixed-sensitivity optimization, and loop-shaping based on the tuning of a structured controller are developed in Section IV. The simulation results of both MIMO control schemes are analyzed in Section V. Finally, Section VI concludes this work.

II. System Model

A. Circuit Model

The topology of the proposed 3L-FCBC circuit is shown in Fig. 1. The converter consists of a FC C_f and four MOSFET semiconductors switching at frequency f_{sw} with gating signals $S_1, S_2, \overline{S}_1, \overline{S}_2 \in \{0, 1\}$ generated by the proposed controller as an Energy Management System (EMS). The switching states and the respective voltage v_c of the converter are shown in Table I. Additionally, a DC Link input, an output inductor L_o, a series resistor R_s, a Battery Energy Storage System (BESS), and a Motor Drive represented as a current source are considered.

To ensure the proper operation of the converter, the controller forces the relationship $v_f = v_{dc}/2$ based on the references i_o^* and v_f^*, to ensure correct operation under load variations or changes in the value of v_{dc}, also reducing the stress and voltage deterioration in the MOSFETs.

The parameter values and nominal values considered for the 3L-FCBC are shown in Table II. For simplicity, a resistive output load R_o is considered.

B. Continuous Time Averaged Model

The averaged model of the topology shown in Fig. 1 is proposed. In this model, the duty cycles d_1 and d_2 serve as the average values of the binary variables S_1 and S_2, respectively. These binary signals are generated through a Pulse Width Modulation (PWM) technique. The state vector is defined as $x \in \mathbb{R}^2$, and the input vector as $u \in \mathbb{R}^2$, detailed as follows:

$$x = \begin{bmatrix} i_o & v_f \end{bmatrix}^\top \equiv \begin{bmatrix} x_1 & x_2 \end{bmatrix}^\top \tag{1}$$

$$u = \begin{bmatrix} d_1 & d_2 \end{bmatrix}^\top \equiv \begin{bmatrix} u_1 & u_2 \end{bmatrix}^\top \tag{2}$$

Accordingly, the equations defining the system dynamics are as follows:

$$\begin{aligned} \dot{x}_1 &= \frac{u_1}{L_o} v_{dc} - (u_1 - u_2)\frac{x_2}{L_o} - (R_s + R_o)\frac{x_1}{L_o} \equiv f_1(x, u) \\ \dot{x}_2 &= (u_1 - u_2)\frac{x_1}{C_f} \equiv f_2(x, u) \end{aligned} \tag{3}$$

The differential equations in (3) can be compactly rewritten as:

$$\begin{aligned} \dot{x} &= \begin{bmatrix} f_1(x, u) & f_2(x, u) \end{bmatrix}^\top \equiv f(x, u) \\ y &= x \end{aligned} \tag{4}$$

The equilibrium point is defined as $Q = (x_Q, u_Q, y_Q)$, which, when evaluated in (4), satisfies:

$$\begin{aligned} 0 &= f(x_Q, u_Q) \\ y_Q &= x_Q \end{aligned} \tag{5}$$

For proposing linear control methods, linearizing (4) around the equilibrium point Q is essential. The linearized system is defined as:

$$\begin{aligned} \Delta\dot{x} &= \mathbf{A}\Delta x + \mathbf{B}\Delta u \\ \Delta y &= \mathbf{C}\Delta x \end{aligned} \tag{6}$$

Here, $\Delta x = x - x_Q, \Delta u = u - u_Q, \Delta y = y - y_Q$, and:

$$\begin{aligned} \mathbf{A} &= \left.\frac{\partial f(x,u)}{\partial x}\right|_Q \\ &= \begin{bmatrix} \frac{\partial f_1}{\partial x_1} & \frac{\partial f_1}{\partial x_2} \\ \frac{\partial f_2}{\partial x_1} & \frac{\partial f_2}{\partial x_2} \end{bmatrix}_Q = \begin{bmatrix} -\frac{(R_s + R_o)}{L_o} & -\frac{(u_1 - u_2)}{L_o} \\ \frac{(u_1 - u_2)}{C_f} & 0 \end{bmatrix}_Q \end{aligned} \tag{7}$$

$$\begin{aligned} \mathbf{B} &= \left.\frac{\partial f(x,u)}{\partial u}\right|_Q \\ &= \begin{bmatrix} \frac{\partial f_1}{\partial u_1} & \frac{\partial f_1}{\partial u_2} \\ \frac{\partial f_2}{\partial u_1} & \frac{\partial f_2}{\partial u_2} \end{bmatrix}_Q = \begin{bmatrix} \frac{(v_{dc} - x_2)}{L_o} & -\frac{x_2}{L_o} \\ \frac{x_1}{C_f} & -\frac{x_1}{C_f} \end{bmatrix}_Q \end{aligned} \tag{8}$$

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 28,2024 at 14:25:05 UTC from IEEE Xplore. Restrictions apply.

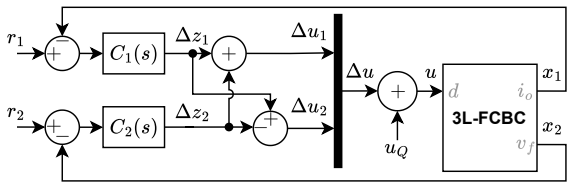


Fig. 2: SISO decoupling controller structure.

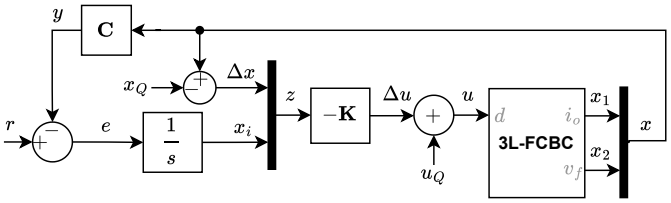


Fig. 3: LQI controller structure.

$$\mathbf{C} = \mathbb{I}_{2\times 2} \tag{9}$$

From the linearized system model in (6), the corresponding transfer function matrix is:

$$G(s) = \frac{\Delta Y(s)}{\Delta U(s)} = \mathbf{C}\left[s\mathbb{I}_{2\times 2} - \mathbf{A}\right]^{-1}\mathbf{B} \tag{10}$$

Considering the system parameters defined in Table II and the operating point condition Q in (5), the equilibrium point is obtained:

$$Q = (x_Q, u_Q, y_Q) = \left(\begin{bmatrix}100\\300\end{bmatrix}, \begin{bmatrix}0.65\\0.65\end{bmatrix}, \begin{bmatrix}100\\300\end{bmatrix}\right) \tag{11}$$

Thus, replacing in (10) the values of the system parameters from Table II and the equilibrium point (11), we have:

$$G(s) = \begin{bmatrix} \dfrac{6\cdot 10^5}{s+7800} & \dfrac{6\cdot 10^5}{s+7800} \\ \dfrac{2.128\cdot 10^5}{s} & -\dfrac{2.128\cdot 10^5}{s} \end{bmatrix} \tag{12}$$

Given the presence of off-diagonal terms in the transfer function matrix (12), there are proposals for implementing SISO control using structures such as those shown in Fig. 2 to simplify MIMO dynamics and reduce coupling in control design. However, these simplifications typically lead to dynamic responses with limited performance. Proposals that aim to simplify the 3L-FCBC model (in Boost topology) for cascaded SISO control design, as discussed in [3], highlight the necessity of evaluating the impact of parameter uncertainty on the control strategy and a determination of one proper input transformation to apply SISO control. Therefore, control strategies that effectively leverage the system model are essential for enhancing the performance of the converters as required.

III. Time-domain Design: LQI Control

The LQI technique combines principles of state feedback control theory with quadratic integral optimization theory to achieve an optimal controller [5], [7]. An LQI control structure is proposed as shown in Fig. 3, which includes error integration $e = r - y$ for tracking constant reference signals r. This control design utilizes the linearized state-space model (6), thus avoiding oversimplifications. To ensure zero steady-state error for tracking constant references, the error integration dynamics must be injected into the model, as follows:

$$\dot{x}_i = e = r - y = \Delta r - \Delta y, \quad \Delta r = r - y_Q \tag{13}$$

Defining the augmented state $z = \begin{bmatrix}\Delta x & x_i\end{bmatrix}^\top \in \mathbb{R}^4$, the augmented linearized state-space system is as follows:

$$\begin{aligned} \dot{z} &= \mathbf{A_a} z + \mathbf{B_a}\Delta u + \mathbf{B_r}\Delta r \\ \Delta y &= \mathbf{C_a} z \end{aligned} \tag{14}$$

where:

$$\mathbf{A_a} = \begin{bmatrix}\mathbf{A} & \mathbf{0}_{2\times 2}\\ -\mathbf{C} & \mathbf{0}_{2\times 2}\end{bmatrix}, \qquad \mathbf{B_a} = \begin{bmatrix}\mathbf{B}\\ \mathbf{0}_{2\times 2}\end{bmatrix},$$
$$\mathbf{B_r} = \begin{bmatrix}\mathbf{0}_{2\times 2}\\ \mathbb{I}_{2\times 2}\end{bmatrix}, \qquad \mathbf{C_a} = \begin{bmatrix}\mathbf{C} & \mathbf{0}_{2\times 2}\end{bmatrix}$$

The control law for the augmented linearized system is:

$$\Delta u = -\mathbf{K} z \tag{15}$$

where $\mathbf{K} \in \mathbb{R}^{2\times 4}$ is the gain matrix of the state feedback.

For continuous time, considering $\Delta r = 0$, the control law (15) minimizes the following cost function:

$$J(\Delta u) = \int_0^\infty \left(z^\top \mathbf{Q_z} z + \Delta u^\top \mathbf{R} \Delta u\right) dt \tag{16}$$

where $\mathbf{Q_z} = \mathrm{Diag}(\mathbf{Q_x}, \mathbf{Q_i}) \in \mathbb{R}^{4\times 4}, \mathbf{R} \in \mathbb{R}^{2\times 2}$ allow for weighing the penalty of the contributions from the states $\Delta x, x_i$ and inputs Δu respectively.

Thus, the gain matrix is defined as:

$$\mathbf{K} = \mathbf{R}^{-1}\mathbf{B_a}^\top \mathbf{S} \tag{17}$$

Here, $\mathbf{S} \in \mathbb{R}^{4\times 4}$ is the solution to the stationary-state Algebraic Riccati Equation (ARE) resulting from minimizing (16), as follows:

$$\mathbf{A_a}^\top \mathbf{S} + \mathbf{S}\mathbf{A_a} - \mathbf{S}\mathbf{B_a}\mathbf{R}^{-1}\mathbf{B_a}^\top \mathbf{S} + \mathbf{Q_z} = \mathbf{0}_{4\times 4} \tag{18}$$

Subsequently, considering the previous definitions, the weight matrices for tuning the LQI controller are proposed as:

$$\mathbf{Q_x} = \mathbf{0}_{2\times 2}, \quad \mathbf{Q_i} = 10^4 \cdot \mathbb{I}_{2\times 2}, \quad \mathbf{R} = \mathbb{I}_{2\times 2} \tag{19}$$

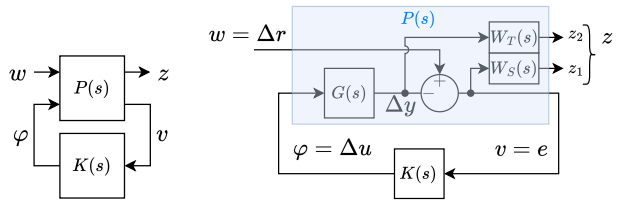
where a higher penalty for $\mathbf{Q_i}$ has been chosen, assigning a greater contribution from the state x_i in the cost function (16), followed by the contributions from Δu and Δx. The selection of weight matrices also ensures that $u \in [0, 1]$ during operation.

For the computation of the matrix $\mathbf{K}$, the ARE in (18) is solved using MATLAB *lqi* command, yielding:

$$\mathbf{K} = \begin{bmatrix} 0.0062 & 0.0182 & -70.7107 & -70.7107 \\ 0.0062 & -0.0182 & -70.7107 & 70.7107 \end{bmatrix} \tag{20}$$

Thus, it should be considered that although LQI is a simple strategy to tune as demonstrated, its operation in the proposed structure in Fig. 3 is only guaranteed within the linear region, that is, without active restrictions on states or inputs.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 28,2024 at 14:25:05 UTC from IEEE Xplore. Restrictions apply.



(a) Standard Form. (b) S/T mixed-sensitivity optimization.

Fig. 4: General control configuration.

IV. Frequency-domain Design: $\mathcal{H}_\infty$ Control

Considering the transfer function matrix of the linearized model (10), the use of the Mixed-Sensitivity $\mathcal{H}_\infty$ Control method [6], [13] is proposed for tuning a structured controller [14]. This approach involves shaping both the sensitivity function $S(s)$ and the complementary sensitivity function $T(s)$ of the closed-loop system. Robust stability in the presence of input and output variations is described through the application of multivariable disk margins (DMs) [15].

Subsequently, the controller $K(s)$ is proposed as:

$$K(s) = \mathbf{D_M} C(s) \tag{21}$$

where $\mathbf{D_M} \in \mathbb{R}^{2\times 2}$ is a decoupling matrix and $C(s) = \text{Diag}(C_1(s), C_2(s))$ a diagonal transfer function matrix.

Each diagonal element of $C(s)$ is proposed as a fixed structure corresponding to a PI controller, expressed in terms of tunable parameters $k_{pj}, k_{ij} \in \mathbb{R}$ as:

$$C_j(s) = k_{pj} + \frac{k_{ij}}{s}, \quad j = 1, 2 \tag{22}$$

To meet design requirements on the control loop, the $\mathcal{H}_\infty$ norm is used, which captures the maximum input-output gain for a given transfer function:

$$||H(s)||_\infty := \max_\omega \overline{\sigma}(H(j\omega)) \tag{23}$$

where $\overline{\sigma}$ is the maximum singular value of H.

Then, for the standard formulation of $\mathcal{H}_\infty$ Control, we have w that gathers input performance-related signals and z with output performance signals, generating the partition shown in Fig. 4a. $P(s)$ captures all the non-tunable blocks and $K(s)$ is the structured controller. This formulation can be presented as a weighted feedback control system with reference tracking, as shown in Fig. 4b, considering a S/T mixed-sensitivity optimization problem. The closed-loop transfer function from w to z, denoted $T_{wz}(s)$, is defined by:

$$T_{wz}(s) = \begin{bmatrix} W_S(s)S(s) \\ W_T(s)T(s) \end{bmatrix} \tag{24}$$

where $W_S(s), W_T(s)$ are the tunable performance weighting functions that capture the desired loop shape for each sensitivity function.

The optimization problem is formulated as follows:

$$\begin{aligned} \text{minimize} \quad & ||T_{wz}(s)||_\infty \\ \text{subject to} \quad & K(s) \text{ stabilizes } P(s) \\ & K(s) \text{ structured as } (21), (22) \end{aligned} \tag{25}$$

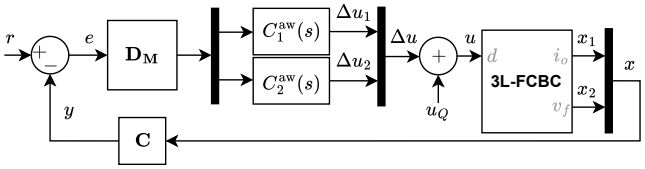


Fig. 5: $\mathcal{H}_\infty$ controller structure.

MATLAB *looptune* function solves the problem (25), setting the performance weighting functions $W_S(s), W_T(s)$ based on the definition of the gain crossover band $\omega_c = [\omega_1, \omega_2]$ where the transition from high to low open-loop gain occurs, also allowing the inclusion of more tuning goals in both frequency and time domains.

The control architecture shown in Fig. 5 is proposed, featuring PI controllers $C_1^{\text{aw}}(s)$ and $C_2^{\text{aw}}(s)$, which also incorporate Anti-windup. The objective is to achieve a gain crossover band $\omega_c = [\omega_1, \omega_2] = [1.2, 1.315] \cdot 10^4$ rad/s, resulting in an approximate response time $t_s \in \left[\frac{4}{\omega_2}, \frac{4}{\omega_1}\right] \approx [0.3, 0.33]$ ms. Additionally, a target loop shape roll-off of -20 dB/dec is imposed. Expressing these requirements as tuning goals, the corresponding performance weighting functions are obtained as follows:

$$W_S(s) = \frac{0.04s + 9978}{s + 9.978}, \quad W_T(s) = \frac{1000s + 6.326 \cdot 10^5}{s + 1.581 \cdot 10^7} \tag{26}$$

Thus, minimizing the $\mathcal{H}_\infty$ norm in (25), a terminal value of 0.998 is obtained. The PI controllers and decoupling matrix are finalized as:

$$C_1(s) = -0.03539 - \frac{178.3}{s} \tag{27}$$

$$C_2(s) = -0.009228 - \frac{46.17}{s} \tag{28}$$

$$\mathbf{D_M} = \begin{bmatrix} -0.3685 & -1.0071 \\ -1.3919 & 3.3055 \end{bmatrix} \tag{29}$$

Since the control design is based on the linearized model of the system, the constraints for the raw input signal $\Delta\hat{u}$ of each PI controller are considered as follows:

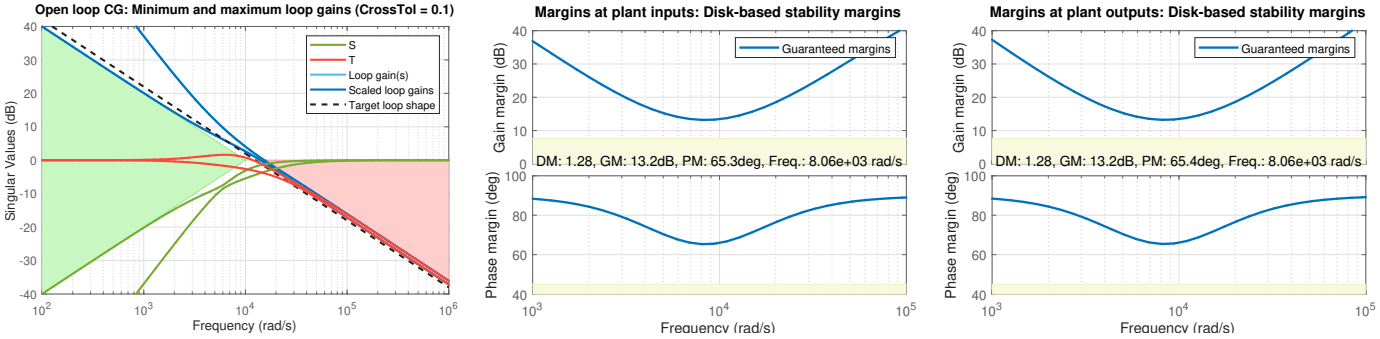
$$\begin{aligned} \Delta u_j &= \text{sat}(\Delta\hat{u}_j) \\ &= \begin{cases} \Delta u_{\text{max},j} & \text{if } \Delta\hat{u}_j > \Delta u_{\text{max},j} \\ \Delta\hat{u}_j & \text{if } \Delta u_{\text{min},j} \le \Delta\hat{u}_j \le \Delta u_{\text{max},j} \\ \Delta u_{\text{min},j} & \text{if } \Delta\hat{u}_j < \Delta u_{\text{min},j} \end{cases} \end{aligned} \tag{30}$$

where j is the PI controller number, $\Delta u_{\text{max}} = u_{\text{max}} - u_Q$, $\Delta u_{\text{min}} = u_{\text{min}} - u_Q$. As an example for this case, we consider $u_{\text{max}} = 1, u_{\text{min}} = 0$.

The PI controllers $C_1^{\text{aw}}(s), C_2^{\text{aw}}(s)$ are proposed based on (27) and (28), including saturation (30) and the clamping anti-windup method.

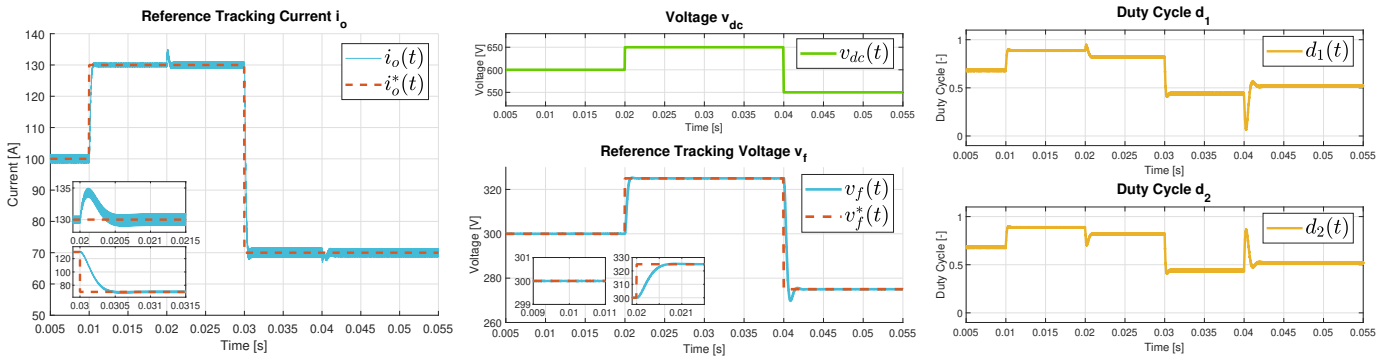
Fig. 6a shows the Target Loop Shape with a roll-off of -20 dB/dec, along with the requirement of the gain crossover band ω_c and their interpretation as the performance weighting functions $W_S(s)$ and $W_T(s)$. The green area represents the minimum low-frequency loop gain as a limit for $T(s)$, while the red area indicates the maximum high-frequency loop gain as a limit for $S(s)$, thereby demonstrating satisfactory loop-shaping results.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 28,2024 at 14:25:05 UTC from IEEE Xplore. Restrictions apply.



(a) Loop-Shaping Results. (b) Disk-based Margins at plant Inputs. (c) Disk-based Margins at plant Outputs.

Fig. 6: Tuning Results: $\mathcal{H}_\infty$ Control.



(a) Tracking Reference Current i_o. (b) Tracking Reference Voltage v_f. (c) Duty Cycles d_1 and d_2.

Fig. 7: Simulation Results: LQI Control.

From Fig. 6b, the DM at plant inputs are 1.28, along with a gain margin (GM) of 13.2dB and a phase margin (PM) of 1.13rad. The margins at plant outputs are shown in Fig. 6c, obtaining a DM of 1.28, GM of 13.2dB, and PM of 1.14rad. Thus, a robust control architecture is achieved against variations in inputs and outputs, in terms of magnitude, phase, and combinations of both.

V. Simulation Results

The analysis continues with the simulation of the proposed controllers using LQI and $\mathcal{H}_\infty$ control methods, analyzing the tracking of current reference i_o^* and voltage reference v_f^*. For proper operation of the 3L-FCBC, the reference $v_f^* = v_{dc}/2$ is imposed. Considering the equilibrium point (11) as the initial condition for simulation, step changes in i_o^* and input voltage v_{dc} are generated to assess the effects of coupling, response times, and overshoot obtained by each control structure. The simulations employed the SIMSCAPE circuit model of the converter and the parameters from Table II.

A. *LQI Control*

Starting by analyzing the simulation for the LQI control case. The reference tracking of the current i_o^* is shown in Fig. 7a, where it is observed that the controller ensures steady-state tracking of constant references due to its integral action. Regarding transient responses, a response time close to $t_s \approx 0.45$ ms is achieved, and there is a maximum deviation of 5A when the voltage step occurs at $t = 0.02$s, indicating the effect of coupling in current control. The effect of current ripple, dependent on the levels of v_f and v_{dc} and the switching of the converter, is also observed.

In Fig. 7b, the input voltage v_{dc} and the voltage reference tracking of the FC being $v_f^* = v_{dc}/2$ are displayed. A response time of $t_s \approx 0.3$ms is obtained, and no voltage variations are observed when changes in the current i_o occur, thus having a decoupled response for the FC voltage case.

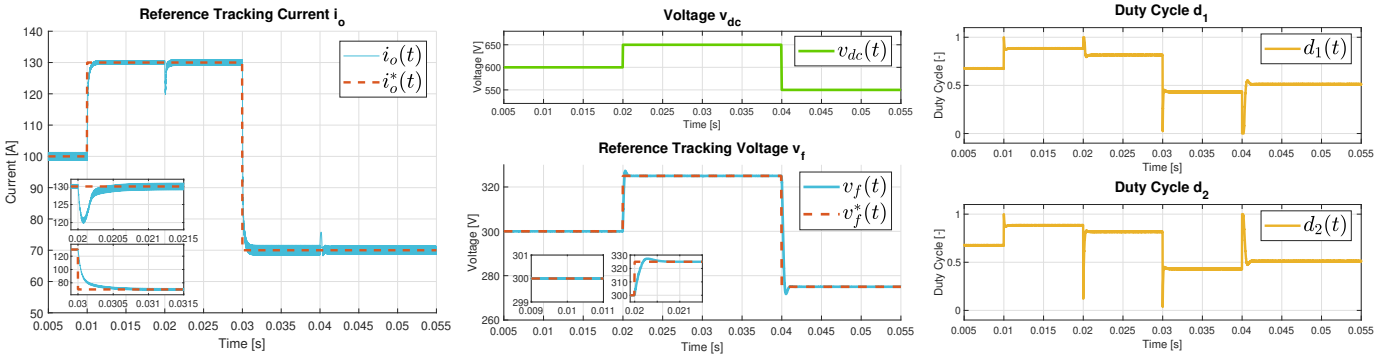
In Fig. 7c, the duty cycles d_1 and d_2 are shown. It is noted that the controller tuning through the weight matrices (19) ensures the operation of the duty cycles within the allowed ranges $d_1, d_2 \in [0, 1]$, without causing saturations.

Thus, the correct functioning of the LQI control scheme is ensured, guaranteeing tracking of the references i_o^* and v_f^*, and allowing correct operation beyond the equilibrium point Q.

B. $\mathcal{H}_\infty$ *Control*

Continuing with the analysis of the simulation for the $\mathcal{H}_\infty$ control case. In Fig. 8a, the reference tracking of the current i_o^* shows accurate steady-state adherence to constant references, thanks to the integration in both PI controllers, with a response time of $t_s \approx 0.6$ ms. The coupling effects are observed in the current response at $t = 0.02$s and $t = 0.04$s, corresponding to changes in the input voltage v_{dc} and FC voltage v_f, resulting in a maximum deviation of 10A at $t = 0.02$s. These coupling effects are amplified by the Anti-windup system implementation, which forces the control system out of its linear operating range without active saturations. It

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 28,2024 at 14:25:05 UTC from IEEE Xplore. Restrictions apply.



(a) Tracking Reference Current i_o. (b) Tracking Reference Voltage v_f. (c) Duty Cycles d_1 and d_2.

Fig. 8: Simulation Results: $\mathcal{H}_\infty$ Control.

is noted that [16] suggests improved Anti-windup schemes for MIMO systems to properly mitigate this effect.

From Fig. 8b, voltage reference tracking for $v_f^* = v_{dc}/2$ achieves a response time of approximately $t \approx 0.5$ ms. This tracking shows a quick response, which remains decoupled from changes in current i_o.

The duty cycles d_1, d_2, shown in Fig. 8c, indicate that the control scheme effectively maintains the cycles within the maximum and minimum allowable levels, $u_{\max} = 1$ and $u_{\min} = 0$, thus fully utilizing the allowed operational range.

Lastly, the response times t_s for both control loops are near the expected range set by the gain crossover frequency ω_c during loop-shaping, as detailed in Fig. 6a. However, these times are lengthened in simulation due to the Anti-windup scheme and saturations.

VI. Conclusions and Future Work

This study has systematically conducted the tuning and simulation of controllers using the LQI approach in the time-domain and the $\mathcal{H}_\infty$ approach in the frequency-domain, specifically for the 3L-FCBC designed to be implemented in electric vehicle powertrain applications. By designing MIMO controllers from the linearized continuous time averaged model of the converter, this approach avoided the need for further model approximations and the use of cascaded SISO control structures, as well as the evaluation of parameter uncertainty, as discussed in [3]. Consequently, it ensures multivariable performance in terms of reference tracking for a constant current load i_o and decoupled dynamic response of the FC voltage v_f with respect to changes in the input DC voltage level v_{dc}.

Both control strategies independently achieved robustness guarantees in simulations. LQI tuning involved utilizing weight matrices in the cost function minimization, while $\mathcal{H}_\infty$ tuning relied on performance weighting functions within a mixed-sensitivity optimization problem.

For future work, we suggest extending the proposed controllers to the discrete-time domain and conducting experimental validation. The potential to adapt this methodology to multi-level topologies is also promising due to its simplicity and the flexibility it offers in tuning with assured performance.

Acknowledgment

This work is supported in part by AC3E (ANID/BASAL/FB0008), by the Chilean research grant ANID/FONDECYT Regular/1241813 and ANID/FONDECYT Regular/1240537.

References

[1] D. Reusch, F. C. Lee, and M. Xu, "Three level buck converter with control and soft startup," 2009. [Online]. Available: https://doi.org/10.1109/ECCE.2009.5316265

[2] Q. Nguyen, Q.-T. Nguyen, H.-D. Han, L. Pham-Nguyen, and H.-P. Le, "Integrated modified three-level buck converter with flying capacitor-voltage self-balance," 2022. [Online]. Available: https://doi.org/10.1109/ICCE55644.2022.9852097

[3] H.-C. Chen, C.-Y. Lu, W.-H. Lien, and T.-H. Chen, "Active capacitor voltage balancing control for three-level flying capacitor boost converter based on average-behavior circuit model," 2019. [Online]. Available: https://doi.org/10.1109/TIA.2018.2876031

[4] J. Wu and Y. Lu, "Decoupling and optimal control of multilevel buck dc–dc converters with inverse system theory," 2020. [Online]. Available: https://doi.org/10.1109/TIE.2019.2942565

[5] K. Ogata, "Modern control engineering," 2010.

[6] S. Skogestad and I. Postlethwaite, "Multivariable feedback control: Analysis and design," 2005.

[7] P. C. Young and J. C. Willems, "An approach to the linear multivariable servomechanism problem," *International Journal of Control*, vol. 15, no. 5, pp. 961–979, 1972.

[8] H. B. dos Santos, L. L. O. Carralero, F. A. d. C. Bahia, C. E. V. Nunes, and A. P. N. Tahim, "Lqi control applied to a dc-dc boost converter in a standalone pv system," 2022. [Online]. Available: https://doi.org/10.1109/SEPOC54972.2022.9976450

[9] K. Zhou, J. Doyle, and K. Glover, "Robust and optimal control," 1996.

[10] X. Ning, "Mixed sensitivity-based robust h_∞ control method for real-time hybrid simulation," *Symmetry*, vol. 13, p. 840, 2021.

[11] H. Ren and L. Ma, "H-infinity mixed sensitivity control of dual active bridge dc-dc converter," 2021. [Online]. Available: https://doi.org/10.1109/ICPICS52425.2021.9524165

[12] M. Cupelli, S. K. Gurumurthy, and A. Monti, "Modelling and control of single phase dab based mvdc shipboard power system," 2017. [Online]. Available: https://doi.org/10.1109/IECON.2017.8217190

[13] P. Apkarian and D. Noll, "Nonsmooth h_∞ synthesis," 2006. [Online]. Available: https://doi.org/10.1109/TAC.2005.860290

[14] P. Gahinet and P. Apkarian, "Decentralized and fixed-structure h_∞ control in matlab," 2011. [Online]. Available: https://doi.org/10.1109/CDC.2011.6160298

[15] P. Seiler, A. Packard, and P. Gahinet, "An introduction to disk margins [lecture notes]," 2020. [Online]. Available: https://doi.org/10.1109/MCS.2020.3005277

[16] G. C. Goodwin, S. F. Graebe, and M. E. Salgado, "Control system design," 2001.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 28,2024 at 14:25:05 UTC from IEEE Xplore. Restrictions apply.

Generalized Switch-Control Scheme for a Family of T-Type DAB GaN-based DC-DC Converters in EV Powertrain Applications

Alejandro Stowhas-Villa[1], Ronald Carmona[1], Christian A. Rojas[1,2], Alan H. Wilson-Veas[1,2], Jorge Marin[2]
[1]*Department of Electronics, Universidad Técnica Federico Santa María*
[2]*Advanced Center of Electrical and Electronics Engineering, Universidad Técnica Federico Santa María*
Valparaíso, Chile
alejandro.stowhas@sansano.usm.cl, c.a.rojas@ieee.org

2023 IEEE 8th Southern Power Electronics Conference (SPEC) | 979-8-3503-2112-8/23/$31.00 ©2023 IEEE | DOI: 10.1109/SPEC56436.2023.10408257

***Abstract*—A switch-control scheme is presented in this paper, which is generalized for a T-type Dual Active Bridge (DAB) GaN-based DC-DC converter family. The key novelty of this modulation scheme lies in its ability to iterate among different DAB converters topologies without the need to modify the modulation scheme itself, only by changing the angles that determine the voltage level widths of the converter. This document provides a detailed explanation of the modulation scheme, dividing it into two stages: the generation of the signal to be compared with the carriers and the state machine that determines the switching signals of the system. In the paper, the operation of the switch-control scheme using a generalized five-level voltage waveform is illustrated, showcasing all the signals used to generate it. Finally, the power converters that can be generated with the proposed scheme are evaluated, along with their respective output voltage levels.**

***Index Terms*—Dual active bridge converter, Five-level Converters, T-Type Bridge, Phase-Shifted Modulations, GaN-Based DC-DC converters, EV Powertrains.**

I. Introduction

The electrification of industrial and domestic systems, along with the **energy transition** to renewable energies, it is a necessary process for reducing greenhouse gas emissions into the atmosphere [1]. This brings about challenges such as the need for bidirectional systems for high-energy density electric vehicle (EV) powertrain applications depicted in the Fig. 1. As an intermediate stage between generation/storage and load, DAB converters have been proposed as a popular interface solution [2]. Furthermore, for higher power systems, the use of multilevel converters is suggested to minimize voltage stress, reduce distortion, and enhance control capabilities over system requirements. This same logic can be applied to families of DAB converters [3], studying multiple configurations to improve the overall efficiency.

The concepts of multilevel DAB have been developed in various technical aspects. Examples can be found in systems where the converter has the ability to change the nature of its topology based on control flags derived from the current required by the load [4]. These systems become particularly useful in EV charging applications, where the DC-DC link topology can be alternated without sacrificing efficiency. In the quest for achieving generalization in both topology and modulation [5], the utilization of variable widths in the levels of a five-level DAB converter based on 2 angles is proposed in this work. This enables the generation of variable pulse widths with specific angles, thus facilitating the elimination of levels within the available five levels. This configuration offers a greater potential for adaptability to different load conditions and allows for the implementation of a control loop similar to that of a conventional DAB converter [6].

A GaN-based DAB-Type converter is proposed in this paper. It features a symmetrical configuration with respect to the high-frequency transformer (HFT) shown in Fig. 2, and is capable of generating a five-level voltage. This design takes advantage of the low losses offered by GaN devices [7] allowing for switching frequencies around 200 kHz, where typically GaN technology is used to increase power density. Consequently, it maximizes the transmitted power per unit volume.

Besides, a switch-control scheme is developed, which leverages redundant voltage states to balance capacitors and provide different voltage levels. This control scheme is integrated within a voltage or power control close-loop [2]. The system aims to provide a solution for widely variable load conditions in which efficiency is a key consideration, for example EV powertrain applications [4]. To test the adaptability of the converter, simulations will be conducted with various configurations in order to conduct a study on the generated waveforms. This will allow us to compare the currents produced by different voltage levels. Additionally, the system performance will be tested under load and regeneration scenarios. Finally, an efficiency analysis will be conducted on some of the converters that may be produced using the proposed modulation scheme, based on the thermal models of

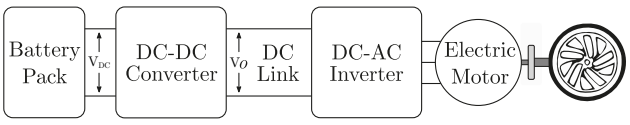


Figure 1. EV powertrain configuration under study.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:33 UTC from IEEE Xplore. Restrictions apply.

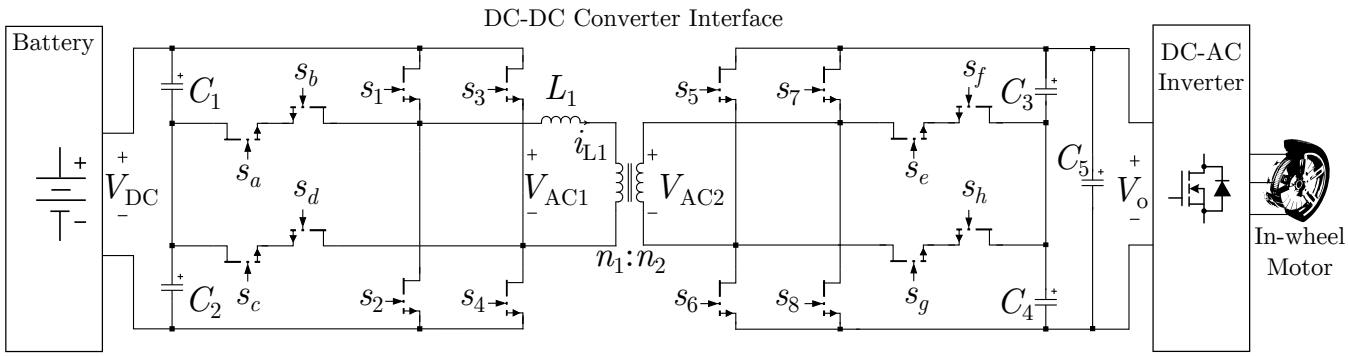


Figure 2. EV powertrain based on a DAB T-Type DC-DC converter topology

the used GaN semiconductors devices.

Remaining of this paper is organized as follows. First, in section II, the converter topology is summarized. Then, section III presents the proposed modulation scheme. Simulation results are presented in section IV. Finally, section V summarizes the conclusions of this paper.

II. Topology

The topology in Fig. 2 consists of 16 switches, with eight on each side of the HFT, arranged symmetrically, and two capacitors to allow for intermediate voltage levels, following the logic of a T-type topology [8]. With this configuration, it is possible to produce five possible voltage levels of V_{AC1}.

These levels are generated by the eight switches located to the left of the HFT, as shown in Table I. Additionally, the intermediate voltage states $\pm V_{DC}/2$ have redundancies that allow for capacitor balancing control. The operation of the right side of the HFT is analogous to the switching signals in the Table I, and the differential voltage given by $V_{AC1} - \frac{V_{AC2}}{(n_2/n_1)}$ creates the current i_{L_1}.

The construction of different switch configurations at the left of the HFT has been explored in other topologies, often based on NPC (neutral point clamped) configurations, as described in [9], [10], and [11]. However, the proposed topology has the particularity of not using diodes, which are a constant source of conduction losses and consequently result in lower efficiency (four diodes are used in reference [9] for example). Instead of that, it prioritizes the use of semiconductors with low switching losses. It only utilizes two capacitors (in contrast to the three capacitors used in [10]), which are the minimum capacitors required to generate the two voltage levels from the DC source. Finally, when comparing the number of semiconductors devices, it equals the number in reference [9] (eight), while reducing the number of devices used in [10] and [11] (9 and 12, respectively).

Table I
Conduction States of the Half of the System

s_a s_b	s_c s_d	s_1	s_2	s_3	s_4	V_{AC1} [V]	Cap. Selected
0	0	1	0	0	1	V_{DC}	C_1, C_2
1	0	0	0	0	1	$V_{DC}/2$	C_2
0	1	1	0	0	0	$V_{DC}/2$	C_1
1	1	0	0	0	0	0	-
1	0	0	0	1	0	$-V_{DC}/2$	C_1
0	1	0	1	0	0	$-V_{DC}/2$	C_2
0	0	0	1	1	0	$-V_{DC}$	C_1, C_2

III. Modulation

Similarly to a conventional DAB converter, a voltage control loop is proposed, where the phase angle γ between the signals of homologous switches in each half of the converter is the control variable in Fig. 3.a. Then, a current feedforward compensation is added, and γ is saturated to $\pi/2$.

To generate a comparison signal, a three-level signal (3LS) has been created by using two angles, α and β in Fig. 3.b,

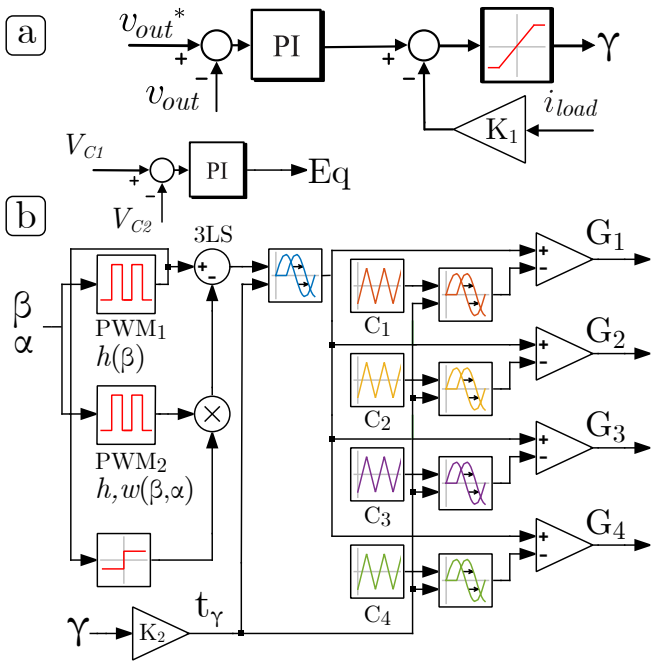


Figure 3. Proposed switch-control: a) voltage control loop; b) gate signal generation with capacitor balance loop.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:33 UTC from IEEE Xplore. Restrictions apply.

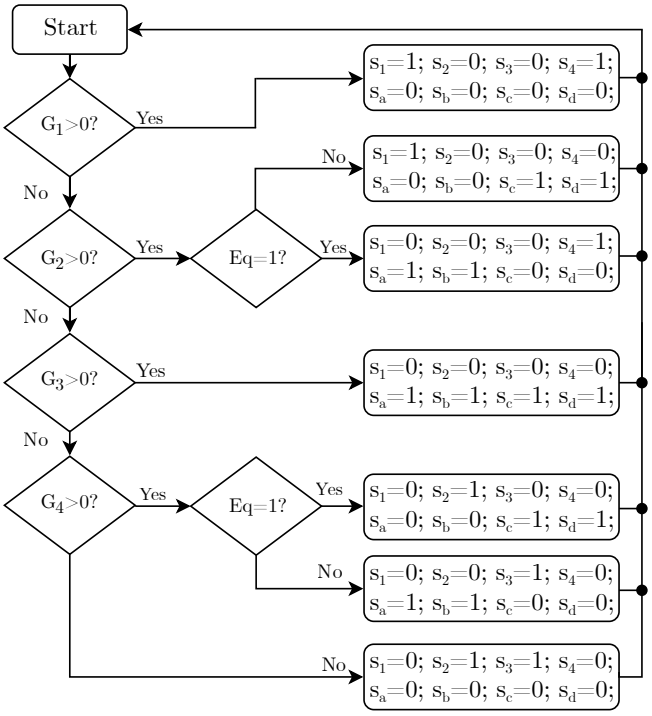


Figure 4. T-type Bridge commutation flow chart.

which modify the width (w) and height (h) of the PWM$_{1,2}$ signals, below are presented the equations to characterize the duty cycle, height and the frequency of the signals based on the angles in radians. This signal generation is possible to visualize in the figure 5.a:

$$h_{PWM1}(\beta) = \left[-\frac{\pi-\beta}{\pi}, \frac{\pi-\beta}{\pi}\right], \qquad w_{PWM1} = \frac{1}{2} \tag{1}$$

$$h_{PWM2}(\beta) = \left[0, \frac{\pi-\beta}{\pi}\right], \qquad w_{PWM2}(\alpha) = \frac{\alpha}{2\pi} \tag{2}$$

$$f_{PWM1} = f_{AC}, \qquad f_{PWM2} = 2f_{AC} \tag{3}$$

The angle α represents the duration of the zero voltage level, while β represents the duration of $\pm V_{DC}/2$ levels, regarding the duration of a complete cycle of the signal in the primary of the HFT. The reason for proposing to use a counterphase is that typically, multicarrier systems with in-phase signals are designed for carriers with frequencies much higher than the modulating signals [12]. In this case, a carrier with only double the frequency of the signal to be generated is used. Therefore, it is necessary to phase-shift the carriers to align them with the minima and maxima of the 3LS signal (Fig 5.b), thus generating the four flags needed to produce progressively the different voltage levels (Fig 5.c).

An equilibrium E_q signal has been created to include an external control loop to balance the capacitor voltages, as it iterates between redundant states of the T-type DAB configuration, one advantage of including redundant states along with this capacitor balancing system is that it not only ensures identical voltage levels between the two midpoints of

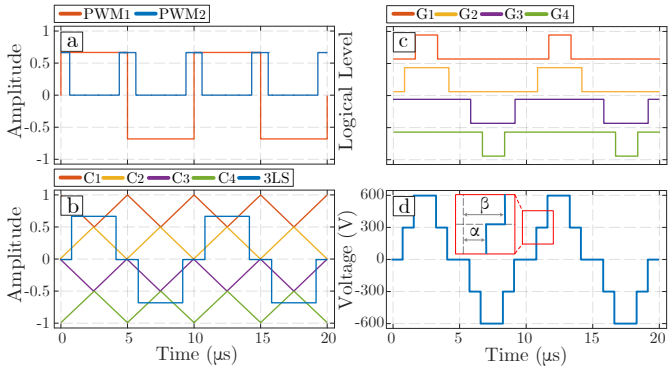


Figure 5. Example of logic signal to generate a five-level voltage waveform.

the DC voltage in normal operation but also, in the event of replacing these capacitors with sets of capacitor banks with equivalent capacitance, if any of these were to fail, the system would be able to compensate for the capacitance imbalance by using the proposed control loop in the top of Fig. 3.b. These five previously described signals enter the flowchart shown in Fig. 4 to obtain the switch signals for each voltage level indicated in Table I.

A flowchart was chosen to activate the switches due to the stepped behavior of G signals and their independence from the equilibrium signal E_q. It is possible to generate a sequential sweep through the voltage levels that the modulation can produce, creating branches at instances of intermediate voltages where this voltage can be associated with one of the capacitors in the DC voltage link. This allows for correct balancing only when necessary.

Then, by using the above proposed modulation logic, it is possible to describe a list of six different converter topologies with the specified α and β angles provided to the modulation scheme, as have been summarized in Table II. For the nomenclature of the different converters, an effort was made to unify some of the existing ones in the literature, such as the Dual Active Half Bridge (DAHB) in [13], the Three-Level Dual Active Half Bridge (3L-DAHB) in [14], or the Four-Level DAB (4L-DAHB) in [15]. Since, several topologies can accept angle ranges to define its voltage levels, these will be fixed for simplicity, and this degree of freedom can be used as an available variable for capacitor balancing or current control.

Table II
FAMILY OF T-TYPE DAB POWER TOPOLOGIES GENERATED BY APPLYING THE PROPOSED GENERALIZED MODULATION

Topology	Name	α	β	Levels	Voltages
1	DAHB	0	$\pi/2$	2	$\pm V_{DC}/2$
2	3L-DAHB	$[0, \pi/2]$	$\pi/2$	3	$\pm V_{DC}/2$, 0
3	DAB	0	0	2	$\pm V_{DC}$
4	3L-DAB	$[0, \pi/2]$	α	3	$\pm V_{DC}$, 0
5	4L-DAB	0	$[0, \pi/2]$	4	$\pm V_{DC}$, $\pm V_{DC}/2$
6	5L-DAB	$[0, \alpha_1]$	$[\alpha_1, \pi/2\ ]$	5	$\pm V_{DC}$, 0, $\pm V_{DC}/2$

where α_1 is an arbitrary angle within $]0, \pi/2[$.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:33 UTC from IEEE Xplore. Restrictions apply.

Table III
SYSTEM SIMULATION PARAMETERS.

Parameter	Value	Parameter	Value
DC voltage, $[V_{dc}]$	600 V	HFT inductance $[L_1]$	10.7 μH
Input capacitors $[C_{1,2}]$	440 μF	Output capacitors $[C_{3,4}]$	440 μF
Inverter Capacitor $[C_5]$	1 mF	HFT turns ratio $[n_2/n_1]$	2
Switching frequency $[f_{sw}]$	200 kHz	HFT frequency $[f_{ac}]$	100 kHz
Nom. Power $[P_{High}]$	10 kW	Half Nom. Power $[P_{Low}]$	5 kW

IV. SIMULATION RESULTS

The control-switch scheme was simulated in the PLECS 4.7.3 software, using the system and control parameters described in Table III. Note that, Fig. 5 shows the setting of the angles $\alpha = \pi/6$, $\beta = \pi/3$, the generation of 3LS for comparison with the carriers, as well as the generated flags capable of producing the five-level voltage signal, verifying the information provided in Table II.

A. Generation of different converter topologies

To demonstrate the ability to recreate the topologies listed in Table II by using the same modulation scheme, all the cases have been simulated. The voltages and currents on the primary side of the HFT are depicted in Fig. 6, Fig. 7 and Fig. 8.

Since the system has a closed-loop at the output voltage, to have a certain current to be displayed, two different power operation points are set, in the cases where the maximum converter voltage was $V_{DC}/2$, the output power was set to P_{Low}. For the cases where the maximum voltage was V_{DC}, the power was set to P_{High}, demonstrating the system behavior under different voltages scenarios while maintaining a DC offset-free current. As more voltage levels are added, the current waveform i_{L_1} increasingly resembles a quasi-sine wave. Then, reducing unwanted harmonics in the AC link, which can enhance the overall efficiency.

Upon observing the current levels of each of the converters, it is evident that these increase in consequence with the voltage levels, as is established in [3]. Verifying the system capability to accurately emulate the six exposed converters opens up the possibility to conduct analyses under various loads and operating modes. Consequently, this allows for the determination of the system's efficiency and reference tracking performance

B. Five-Level converter in load and regeneration modes

In order to assess the system regenerative capabilities, an initial step involved generating a system simulation. The presented simulation is derived by reducing the previously exposed switching frequency to just 20 kHz, at an input voltage of 800 V. This strategic modification facilitated simulation calculations and consequently enabled an on-state analysis to be conducted. During this analysis, a stationary scenario was emulated, incorporating a 10 kW load imposition and maintaining the output voltage at 1 kV. This setup allowed

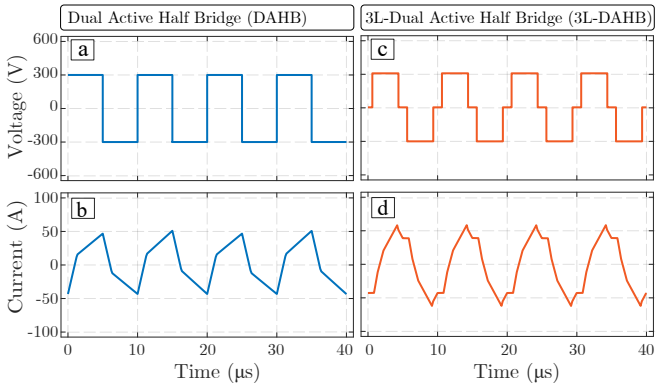


Figure 6. HFT current and voltage waveforms for topologies 1, 2 in Table II at P_{Low} operation (left) and P_{High} (right): (a,c) primary voltages and (b,d) primary currents.

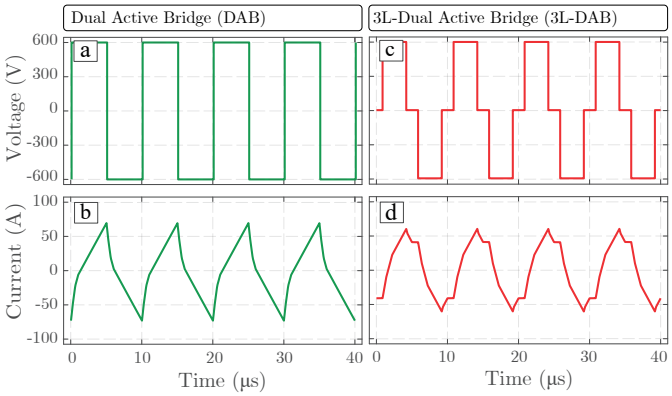


Figure 7. HFT current and voltage waveforms for topologies 3, 4 in Table II at P_{Low} operation (left) and P_{High} (right): (a,c) primary voltages and (b,d) primary currents.

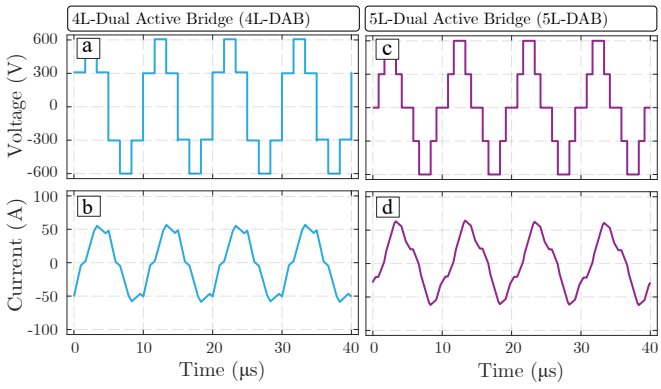


Figure 8. HFT current and voltage waveforms for topologies 5, 6 in Table II at P_{Low} operation (left) and P_{High} (right): (a,c) primary voltages and (b,d) primary currents.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:33 UTC from IEEE Xplore. Restrictions apply.

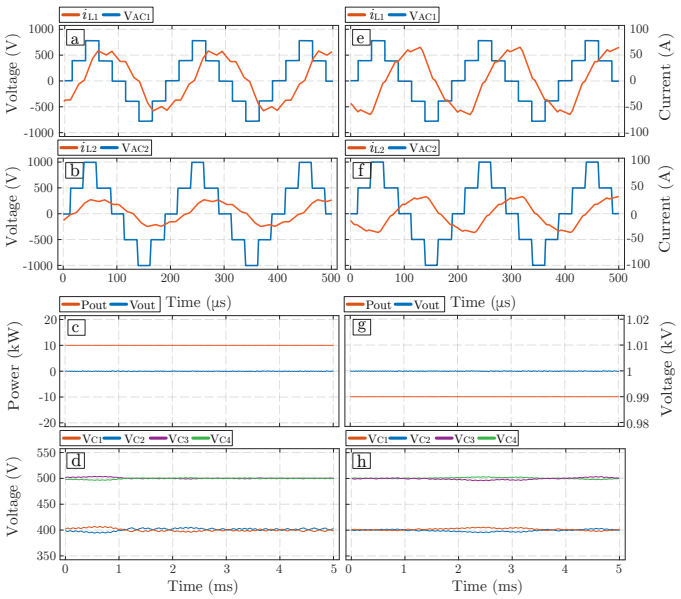


Figure 9. Waveforms of interest in load mode (a,b,c,d) and in regeneration mode (e,f,g,h).

for the extraction of current and voltage data across both primary and secondary windings of the HFT, encompassing input and output capacitor voltages, output voltage, and operational power. Subsequently, to evaluate the regeneration mode, identical measurements were replicated. However, in this instance, a power injection of 10 kW was injected towards the input voltage source.

In the analysis of regeneration and load modes, a current and voltage analysis was conducted on both the primary and secondary sides to observe the dynamic behavior of the HFT, as shown in Fig.9 (a, b, e, f). In this analysis, an identical behavior is evident between the system voltages. Regarding the currents, there is a change in the slope direction of the sinusoidal waveform. Upon conducting a more extensive time-domain analysis, the behavior of the output voltage ripple is observed in both scenarios. This ripple is less than 0.02%, indicating a precise reference tracking and consequently, power quality Fig.9 (c, g). Moreover, in parallel, a balance of input and output capacitors of the system was maintained, as depicted in Fig.9 (d, h).

V. Efficiency comparison between different T-type-DAB converters

To compare the converters among themselves, the same switching frequency was used in each one to obtain the same signal frequency in the AC link, regardless of the levels produced by the converter. From this, the merit figures used for comparison were the number of semiconductor switches commutations in each AC voltage cycle, the voltage variation that the transformer undergoes with each level change, the number of semiconductors operating in the converter, whether the converter requires a converter balancing strategy, and

Table IV
Comparison table between converters

Topology	Act. switches per converter	Commut. per cycle	Max Volt. Stress	Capacitor Balancing	Eff. in P_{low}	Eff. in P_{high}
DAHB	16	4	V_{DC}	Yes	97.61	-
3L-DAHB	16	8	$V_{DC}/2$	Yes	96.45	-
DAB	8	4	$2\ V_{DC}$	No	94.80	97.25
3L-DAB	16	8	V_{DC}	Yes	96.55	97.65
4L-DAB	16	12	V_{DC}	Yes	96.52	97.73
5L-DAB	16	16	$V_{DC}/2$	Yes	97.04	97.75

finally, the efficiency at specific power points, as shown in the Table IV.

For the determination of system efficiency, the thermal models furnished by GaN Systems were implemented within the PLECS environment. In particular, the focus was directed toward the semiconductor model GS66516B, yielding insights into both conduction and switching losses pertinent to each individual semiconductor element. Contrariwise, the quantification of transformer-related losses was accomplished through the assessment of power dissipation across the series resistance linked to the inductor L_1. Notably, this resistance was assigned a value of 0.043 Ω, derived from empirical measurements associated with a High-Frequency Transformer.

After establishing the system losses, simulations were executed for topologies 3, 4 and 6, as delineated in Table II. These simulations encompassed various load scenarios spanning from 1.5 to 13 kW. This particular range was judiciously chosen, as it ensures the correct operation of the semiconductors and the maintenance of sufficient control over the output voltage. The outcomes of these simulations are visually depicted in Fig 10.

When looking at efficiencies at low power levels, it is possible to notice that the Half-Bridge topologies (topologies 1 and 2) exhibit better efficiencies than their Full-Bridge counterparts (topologies 3 and 4), as mentioned regarding the DAB topology in [13]. The high-power range is not displayed for the Half-Bridge topologies because, by reducing the voltage by half, the required current to deliver the requested power exceeds the current limit supported by the semiconductor devices, compromising the system.

In relation to efficiency in the Full-Bridge topologies, it is possible to observe an increase in efficiency both at low and high power levels as the number of levels is increased. This trend is better represented in the graph in Fig. 10. a, confirming what was discussed in references [16] and [17]. It underscores that with a properly applied modulation, it is possible to reduce conduction losses in exchange for an increase in system switching.

VI. Conclusion and future work

In this study, a GaN-Based DAB-Type topology accompanied by a generalized switch control scheme has been proposed. The main advantages of the proposed switch-control system are the ability to generate six different power converters with two, three and five voltage levels in a simple and precise

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:33 UTC from IEEE Xplore. Restrictions apply.

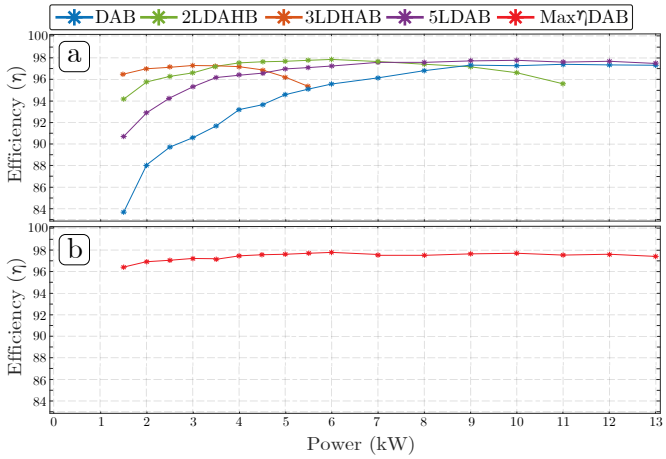


Figure 10. Efficiency of topologies 2, 3, 4 and 6 of Table II. and maximum combined efficiency

manner, the capability to perform capacitor balancing control using the redundant states of the system, and the utilization of simple control loops based on the phase angle difference between the converter T-type bridges. This is achieved through a comprehensive characterization of the switching states combined with an appropriate multilevel switch-control scheme.

Based on the thermal simulations conducted, it was possible to generate efficiency curves that demonstrate the good behavior of the 5L-DAB converter under various load levels. It also highlighted its bidirectional capability, which is essential for implementing this converter in systems related to electromobility. Additionally, specific efficiencies of the 3L-DAHB and 2L-DAHB converters were analyzed. Despite having a limited operating range, they achieve high efficiencies, making them an attractive alternative for situations with low-magnitude loads or regeneration scenarios. This underscores how the switching losses are compensated for by other losses in the converter when implementing multiple voltage levels.

In conclusion, the contribution of this paper is that is it possible to propose a mechanism that iterates among the converters described in the article to find the one that offers the highest efficiency for a particular working power range, thus flattening the efficiency curve from low to high power operation. This would generate an effect similar to that of a gearbox in a car, which is ideal for the applications for which this topology is designed as seen in Fig. 10.b . Future work to complement the research presented in this article includes experimental validation of the proposed topology, modulation scheme and the verification on the obtained efficiency values.

ACKNOWLEDGEMENT

This work was supported by Agencia Nacional de Investigacion y Desarrollo (ANID): AC3E (ANID/Basal/FB0008), SERC Chile (ANID/FONDAP/1522A0006), ANID/FONDECYT Regular/1210757 and ANID/FONDECYT Postdoctoral/3220714.

REFERENCES

[1] J. Rodriguez, F. Blaabjerg, and M. P. Kazmierkowski, "Energy Transition Technology: The Role of Power Electronics," *Proc. IEEE*, vol. 111, no. 4, pp. 329–334, 2023.

[2] D. Segaran, D. G. Holmes, and B. P. McGrath, "Enhanced Load Step Response for a Bidirectional DC–DC Converter," *IEEE Trans. Power Electron.*, vol. 28, no. 1, pp. 371–379, 2013.

[3] P. A. M. Bezerra, F. Krismer, R. M. Burkart, and J. W. Kolar, "Bidirectional isolated non-resonant DAB DC-DC converter for ultra-wide input voltage range applications," in *2014 Int. Power Electron. and Appl. Conf. and Expo.*, 2014, pp. 1038–1044.

[4] H. Watanabe, K. Kusaka, and J.-i. Itoh, "Output Capacitor Current Reduction with T-type Dual Active Bridge Converter for Wide Output Voltage Condition," in *PCIM 2020; Int. Ex. and Conf. for Power Electron., Intell. Motion, Ren. Energy and Energy Manag.*, 2020, pp. 1–6.

[5] D. Yadeo and P. Chaturvedi, "Performance Characterization of T-type Multilevel Dual Active Bridge DC-DC Converter," in *2021 IEEE 4th Int. Conf. on Comp., Power and Comm. Techn. (GUCON)*, 2021, pp. 1–6.

[6] L. Li, G. Xu, D. Sha, Y. Liu *et al.*, "Review of Dual-Active-Bridge Converters With Topological Modifications," *IEEE Trans. Power Electron.*, vol. 38, no. 7, pp. 9046–9076, 2023.

[7] G.-J. Su, "Comparison of Si, SiC, and GaN based Isolation Converters for Onboard Charger Applications," in *2018 IEEE Energy Conv. Congr. and Expo. (ECCE)*, 2018, pp. 1233–1239.

[8] D. Woldegiorgis and A. Mantooth, "Five-level hybrid t-type inverter topology with mixed "si+sic" semiconductor device configuration," in *2021 IEEE 12th Energy Conversion Congress & Exposition - Asia (ECCE-Asia)*, 2021, pp. 991–996.

[9] E. Ekici, T. Koroglu, and D. Çelik, "An isolated high-power bidirectional five-level npc dual active bridge dc-dc converter with anti-windup pi controller for electric vehicle-to-home application," in *2023 15th International Conference on Electronics, Computers and Artificial Intelligence (ECAI)*, 2023, pp. 1–6.

[10] N. Gao, Y. Zhang, Z. Qiu, and Q. Guan, "A dab converter constructed by nine-switch five-level active-neutral-point-clamped bridges," in *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2021, pp. 2563–2569.

[11] A. Kumar, S. P. Singh, and A. Rathore, "Performance investigation of multilevel neutral point clamped dual active bridge converter and identification of optimum operating zone," in *2022 4th International Conference on Energy, Power and Environment (ICEPE)*, 2022, pp. 1–6.

[12] Z. Li, Z. Nie, S. Ai, and J. Xu, "A novel five-level carrier phase disposition modulation method for parallel three-level inverters considering circulating current suppression," in *2021 IEEE 2nd China International Youth Conference on Electrical Engineering (CIYCEE)*, 2021, pp. 1–5.

[13] H. Higa, S. Takuma, K. Orikawa, and J.-i. Itoh, "Dual active bridge dc-dc converter using both full and half bridge topologies to achieve high efficiency for wide load," in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015, pp. 6344–6351.

[14] I. Chorfi, C. Alonso, R. Monthéard, and T. Sutto, "A gan-based three-level dual active half bridge converter with active cancellation of the steady-state dc offset current," in *IECON 2022 – 48th Annual Conference of the IEEE Industrial Electronics Society*, 2022, pp. 1–5.

[15] J. Pang, K. Wang, Z. Zheng, T. Zheng, and Y. Li, "Quasi two-level operation and neutral-point voltage balance method for a four-level anpc based dual active bridge dc-dc converter," in *2022 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2022, pp. 1–7.

[16] A. Abdulslam, F. El-Sehrawy, and Y. Ismail, "Five-level hybrid dc-dc converter with enhanced light-load efficiency," in *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2016, pp. 217–220.

[17] D. Woldegiorgis, Y. Wei, H. Mhiesan, and A. Mantooth, "New modulation technique for five-level interleaved t-type inverters for switching loss reduction," in *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2020, pp. 6253–6257.

Authorized licensed use limited to: Universidad Tecnica Federico Santa Maria. Downloaded on November 11,2024 at 04:56:33 UTC from IEEE Xplore. Restrictions apply.

Apéndice C

CÓDIGOS MATLAB FUNCTION

```
function [Trip,PIv_STATE,counterTk,Delta] = Control5LTTypeDAB(IN1,IN2,IN3,IN4
    ,IN41,IN42,IN6,IN7,IN8,IN9,IN10,IN11,IN12)
    %Separar variables de entrada


    d_Manual = IN1;          %DESFASE MANUAL


    fsw_Manual = IN2;        %FRECUENCIA MANUAL

    DeltaPI=IN3;




    io0 = IN4;               %CORRIENTE DE SALIDA

    iin0=IN41;               %CORRIENTE DE ENTRADA



    Lim_Current=IN42;        %limtador de corriente



    Tripk1 = IN6;           %Trip en [k-1]
```

```
29
30
31
32      Manual_Trip = IN7;      %Trip manual
33      Clear_Trip = IN8;       %Limpiar el TRIP
34
35
36      counterTk1 = IN9;       %Contador en [k-1]
37
38
39      PIv_RESET = IN10;        %Resetear el uso del PI
40      PIv_CLEAR = IN11;        %LIMPIAR EL PI
41      PIv_STATEk1 = IN12;      %COMPRUEBA SI SE ESTA EN LAZO CERRADO
42
43
44
45
46
47
48      % Contador
49      if(counterTk1 == fsw_Manual)
50          counterTk = 0;
51      else
52          counterTk = counterTk1 + 1;
53      end
54
55
56
57
58
59      %PI
60
61      PIv_STATE = PIv_STATEk1;
62
63     % Botonera                  tripea desfase
64     Trip = Tripk1;
65      if(Trip==0)
66          Delta = 0.0;
67      else
68          Delta = d_Manual;
69      end
70      if(PIv_RESET)
71          PIv_STATE = 0;
72      end
73      if(PIv_CLEAR)
74          PIv_STATE = 1;
75      end
76      if(PIv_STATE)
```

```
        Delta=DeltaPI;
    else
        Delta = d_Manual;
    end

    % Software trips

    if((abs(io0) > Lim_Current) || Manual_Trip||(abs(iin0) > Lim_Current))
        Trip = 0;
        Delta = 0.0;
        PIv_STATE = 0;
    end
    if(Clear_Trip)
        Trip = 1;
    end









%Funciones auxiliares



    function y = sat(u,umin,umax)
        if(u > umax)
            y = umax;
        elseif(u < umin)
            y = umin;
        else
            y = u;
        end
    end
end
```

```
function [Vrefy,counterTK,currentStateTK] = Referencias(mode,Vref,time,Vref1,
    Vref2,Vref3,Vref4,Vref5,currentStateTK1,counterTk1)

Fs=10000;
if (mode==1)
    Vrefy=Vref;

else
    if (currentStateTK1==1)
       Vrefy = Vref1;
```

```
10
11      elseif (currentStateTK1==2)
12          Vrefy = Vref2;
13
14      elseif (currentStateTK1==3)
15          Vrefy = Vref3;
16
17      elseif (currentStateTK1==4)
18          Vrefy = Vref4;
19
20      elseif (currentStateTK1==5)
21          Vrefy = Vref5;
22
23      else
24           Vrefy = Vref5;
25      end
26  end
27
28  if (mode==2)
29      if(counterTk1 > time*Fs)
30              counterTK = 0;
31              currentStateTK =currentStateTK1+ 1;
32       else
33              counterTK = counterTk1 + 1;
34              currentStateTK = currentStateTK1;
35      end
36  elseif (mode==1)
37      currentStateTK=1;
38      counterTK= 0;
39  else
40      currentStateTK = currentStateTK1;
41      counterTK = counterTk1;
42  end
```

Apéndice D

CÓDIGOS VERILOG

```
1  `timescale 10ns / 100ps
2
3  module sxsy (
4      input clk,
5      input ce,
6      input [15:0] period,
7      output reg sx,
8      output reg sy
9  );
10
11     reg [15:0] counter = 0;
12
13     always @(posedge clk) begin
14         if (~ce) begin
15             counter <= 0;
16             sx <= 0;
17             sy <= 0;
18         end else begin
19             if (counter < period - 1) begin
20                 counter <= counter + 1;
21             end else begin
22                 counter <= 0;
23             end
24
25             // Generar sx y sy
26             if (counter < (3 * period) / 8) begin
27                 sx <= 1;
28             end else begin
29                 sx <= 0;
```

```
            end

            if (counter >= period / 8 && counter < (2 * period) / 8) begin
                sy <= 1;
            end else begin
                sy <= 0;
            end
        end
    end

endmodule
```

```
`timescale 1ns / 1ps

module pshift(
    input wire clk_1, ce_1,
    input [15:0] prd, alpha, duty,
    input in_a, in_b,
    output wire sh_a, sh_b
);

    localparam n = 16;

    wire [n-1:0] cwidth, cshift;
    wire [n-1:0] mem_alpha;
    reg [n-1:0] lim_alpha;
    reg cwidth_on, cwidth_ok;
    reg cshift_on, cshift_ok;
    reg store_alpha;

    /* We assume constant duty cycle, variable DT requires an update */
//    parameter period = 100_000_000 / FREQ;
//    parameter [n-1:0] duty_count = period * 0.5; // duty cycle 50us (50%)
    // logic [n-1:0] duty_count;
    // pulse_width_reader  #(n)    pwr(.clk_1(clk_1),.~ce_1(~ce_1),.signal(A)
    ,.info(duty_count));

    counter_n_bits #(n) cnt_width(.clk(clk_1), .reset(~cwidth_on), .count(
    cwidth));
    counter_n_bits #(n) cnt_sh(.clk(clk_1), .reset(~cshift_on), .count(cshift
    ));
    memory_bank #(n) mem(.clk(clk_1), .reset(~ce_1), .BTN(store_alpha), .data
    (lim_alpha), .mem(mem_alpha));


    // ------------------------------------------------
```

```
32      localparam standby = 3'b000;
33      localparam shifting = 3'b001;
34      localparam active = 3'b010;
35
36      reg [1:0] state, nx_state;
37      reg nx_a, nx_b;
38
39
40      always @(posedge clk_1) begin
41          if (~ce_1)
42              state <= standby;
43          else
44              state <= nx_state;
45      end
46
47
48    always @* begin
49    //        lim_alpha = (alpha > duty) ? duty : alpha;
50          lim_alpha = (alpha > prd) ? prd : alpha;
51          cwidth_ok = (cwidth >= duty) ? 1 : 0;
52          cshift_ok = (cshift >= mem_alpha) ? 1 : 0;
53          store_alpha = (state == 3'b001) ? 1 : 0;
54      end
55
56      always @* begin
57          nx_b = 1'b0;
58          nx_a = in_a;
59          cwidth_on = 1'b0;
60          cshift_on = 1'b0;
61          nx_state = standby;
62          case (state)
63              standby: if (in_b) begin
64                          nx_state = shifting;
65                          cshift_on = 1'b1;
66                       end
67              shifting: if (cshift_ok) begin
68                          nx_state = active;
69                          nx_b = 1'b1;
70                          cwidth_on = 1'b1;
71                       end
72                       else begin
73                          nx_state = shifting;
74                          cshift_on = 1'b1;
75                       end
76              active: if (cwidth_ok) begin
77                          nx_state = standby;
78                          cshift_on = 1'b1;
79                       end
```

```
80                      else begin
81                          nx_state = active;
82                          nx_b = 1'b1;
83                          cwidth_on = 1'b1;
84                      end
85          endcase
86      end
87
88      assign sh_b = nx_b;
89      assign sh_a = nx_a;
90
91  endmodule
```

```
1   `timescale 10ns / 100ps
2
3   module deadtime_single (
4       input clk,
5       input ce,
6       input pwmin_x,
7       input [15:0] dtime_x,
8       output wire pwmout_x
9   );
10
11      parameter s_off = 2'b00;
12      parameter s_dtcount = 2'b01;
13      parameter s_on = 2'b10;
14
15      reg [1:0] dtime_state = s_off;
16      reg [1:0] dtime_state_next;
17
18      reg pwm_x = 0;
19      reg [15:0] dt_counter = 0;
20      reg pwmin_x_delayed;
21
22
23      always @(posedge clk) begin
24          pwmin_x_delayed <= pwmin_x;
25      end
26
27      always @(*) begin
28          dtime_state_next = dtime_state;
29          case(dtime_state)
30              s_off: begin
31
32                  if (pwmin_x == 1 && pwmin_x_delayed == 0) begin
33                      dtime_state_next = s_dtcount;
34                  end else begin
```

```
35                      dtime_state_next = s_off;
36                  end
37              end
38              s_dtcount: begin
39                  if (dt_counter >= dtime_x) begin
40                      dtime_state_next = s_on;
41                  end else begin
42                      dtime_state_next = s_dtcount;
43                  end
44              end
45              s_on: begin
46                  if (pwmin_x == 0) begin
47                      dtime_state_next = s_off;
48                  end else begin
49                      dtime_state_next = s_on;
50                  end
51              end
52          endcase
53      end
54
55      always @(posedge clk) begin
56          if (~ce) begin
57              dtime_state <= s_off;
58              pwm_x <= 0;
59              dt_counter <= 0;
60          end else begin
61              dtime_state <= dtime_state_next;
62              case(dtime_state_next)
63                  s_off: begin
64                      pwm_x <= 0;
65                      dt_counter <= 0;
66                  end
67                  s_dtcount: begin
68                      dt_counter <= dt_counter + 1;
69                  end
70                  s_on: begin
71                      pwm_x <= 1;
72                  end
73              endcase
74          end
75      end
76
77      assign pwmout_x = pwm_x;
78
79  endmodule
```

Apéndice E

CÓDIGOS WOLFRAM MATHEMATICA

```
(* CODIGOS PARA MODELO FOURIER *)


Vin=Symbol["Vin"];
Vout=Symbol["Vout"];

t=Symbol["t"];
T=Symbol["T"];

d=Symbol["d"];

r=Symbol["r"];
L=Symbol["L"];

S1[t_,T_]:=Piecewise[{{1,(T/8)<t<(4 T/8)}},0];
S2[t_,T_]:=Piecewise[{{1,((5*T)/8)<t<8 T/8}},0];
S3[t_,T_]:=Piecewise[{{1,((6*T)/8)<t<((7*T)/8)}},0];
S4[t_,T_]:=Piecewise[{{1,((2*T)/8)<t<((3*T)/8)}},0];


(*Para S1*)
AnS1r[n_,T_]:=(2/T)*Integrate[S1[t,T] Cos[2 n Pi t/T],{t,0,T},Assumptions->{n
    \[Element] Integers,T>0}];
BnS1r[n_,T_]:=(2/T)*Integrate[S1[t,T] Sin[2 n Pi t/T],{t,0,T},Assumptions->{n
    \[Element] Integers,T>0}];
```

```
S1r[n_,T_]:=(1/T)*Integrate[S1[t,T],{t,0,T},Assumptions->{n\[Element]Integers
    ,T>0}];
(*Para S4*)
AnS2r[n_,T_]:=(2/T)*Integrate[S2[t,T] Cos[2 n Pi t/T],{t,0,T},Assumptions->{n
    \[Element]Integers,T>0}];
BnS2r[n_,T_]:=(2/T)*Integrate[S2[t,T] Sin[2 n Pi t/T],{t,0,T},Assumptions->{n
    \[Element]Integers,T>0}];
S2r[n_,T_]:=(1/T)*Integrate[S2[t,T],{t,0,T},Assumptions->{n\[Element]Integers
    ,T>0}];
(*Para S5*)
AnS3r[n_,T_]:=(2/T)*Integrate[S3[t,T] Cos[2 n Pi t/T],{t,0,T},Assumptions->{n
    \[Element]Integers,T>0}];
BnS3r[n_,T_]:=(2/T)*Integrate[S3[t,T] Sin[2n Pi t/T],{t,0,T},Assumptions->{n
    \[Element]Integers,T>0}];
S3r[n_,T_]:=(1/T)*Integrate[S3[t,T],{t,0,T},Assumptions->{n\[Element]Integers
    ,T>0}];
(*Para S8*)
AnS4r[n_,T_]:=(2/T)*Integrate[S4[t,T] Cos[2 n Pi t/T],{t,0,T},Assumptions->{n
    \[Element]Integers,T>0}];
BnS4r[n_,T_]:=(2/T)*Integrate[S4[t,T] Sin[2 n Pi t/T],{t,0,T},Assumptions->{n
    \[Element]Integers,T>0}];
S4r[n_,T_]:=(1/T)*Integrate[S4[t,T],{t,0,T},Assumptions->{n\[Element]Integers
    ,T>0}];

AnS1[n_]:=AnS1r[n,T]
BnS1[n_]:=BnS1r[n,T]
AnS2[n_]:=AnS2r[n,T]
BnS2[n_]:=BnS2r[n,T]
AnS3[n_]:=AnS3r[n,T]
BnS3[n_]:=BnS3r[n,T]
AnS4[n_]:=AnS4r[n,T]
BnS4[n_]:=BnS4r[n,T]


VpriAnPart=(Vin/2)*(AnS1[n]-AnS2[n]+AnS4[n]-AnS3[n]) Cos[(2 Pi n t)/T];
VpriBnPart=(Vin/2)*(BnS1[n]-BnS2[n]+BnS4[n]-BnS3[n]) Sin[(2Pi n t)/T];
Vprin=VpriAnPart+VpriBnPart;

VsecAnPart= Cos[(2Pi n t)/T]*(Vout/2)*((AnS1[n]-AnS2[n]+AnS4[n]-AnS3[n])*Cos
    [n*d]-(BnS1[n]-BnS2[n]+BnS4[n]-BnS3[n]) Sin[n*d]);
VsecBnPart=Sin[(2 Pi n t)/T]*(Vout/2)*((BnS1[n]-BnS2[n]+BnS4[n]-BnS3[n]) Cos[
    n*d]+(AnS1[n]-AnS2[n]+AnS4[n]-AnS3[n])*Sin[n*d]);
Vsecn=VsecAnPart+VsecBnPart;




{Vprin,Vsecn};

```

```
60
61 Vpriint=Integrate[Vprin,t];
62
63
64 Vsecint=Integrate[Vsecn,t];
65
66
67 iL=Simplify[(1/L)*(Vpriint-Vsecint/r)]
68 iLInt=Integrate[iL,t]
69 iLS=Sum[iL,{n,1,25}];
70
71 S1Des[t_,T_,deltat_]:=UnitStep[t-(T/8+deltat)]-UnitStep[t-(4*T/8+deltat)];
72
73 S3Des[t_,T_,deltat_]:=UnitStep[t-((6*T)/8+deltat)]-UnitStep[t-((7*T)/8+deltat
       )];
74
75 RestSec[t_,T_,deltat_]:=S1Des[t,T,deltat]-S3Des[t,T,deltat];
76
77
78 ipc2=(iLS/r)*RestSec[t,T,0]
79
80 ipc2Medio=(100000)Integrate[ipc2,{t,0,1/100000}];
81
82 ipc2Medio=ipc2Medio/.{dt->d/(2*Pi*fsop)};
83
84 fsop=100000;
85 kd=D[ipc2Medio,d];
86
87 KdC=kd/. {d->0.52,T->1/100000,Vout->190,Vin->100,L->6.5*10^(-6),r->2}//N
88 kVout=D[ipc2Medio,Vout];
89 KdC=kVout/. {d->0.52,T->1/100000,Vout->190,Vin->100,L->6.5*10^(-6),r->2}//N
```

```
1 (*CODIGOS PARA MODELO VALOR MEDIO*)
2
3 v1=Symbol["V1"];
4 v2=Symbol["V2"];
5 n=Symbol["n"];
6 d=Symbol["d"];
7 l=Symbol["L"];
8 t=Symbol["T"];
9
10 dt=t/8;                                    (*ts=8*t1, entonces dt=t/8*)
11 T2=2*dt;
12 T3=3*dt;
13 T4=4*dt;
14 T5=5*dt;
15 T6=6*dt;
```

```
T7=7*dt;
T8=8*dt;

(*Modelado de IPC2_1*)
IPC21=1/(t*l)*((v1/2-v2/(2*n))*((T2-(dt+d))^2)/2+
        v1*(d^2)/2+
        (v1-v2/2)*((T3-(T2+d))^2)/2+
        (v1/2-v2/n)*(d^2)/2+
        (v1/2-v2/(2*n))*((T4-(T3+d))^2)/2-
        (v2/(2*n))*(d^2)/2+
        (-v1+v2/n)*((T7-(T6+d))^2)/2+
        (-v1/2+v2/n)*(d^2)/2);

(*Modelado de IPC2_2*)
IPC22=1/(t*l)*(v2/n*(d^2)/2+
        (v1-v2/(2*n))*((T3-(T2+d))^2)/2+
        (v1/2-v2/(2*n))*(d^2)/2+
        (v1/2-v2/n)*((T4-(T3+d))^2)/2-
        (v2/n)*(d^2)/2-
        (v2/(2*n))*((T5-(T4+d))^2)/2+
        (-v1/2-v2/(2*n))*(d^2)/2+
        (-v1/2+v2/n)*((T8-(T7+d))^2)/2);


kv11=D[IPC21,v1]
kv21=D[IPC21,v2]
kd1=D[IPC21,d]
kv12=D[IPC22,v1]
kv22=D[IPC22,v2]
kd2=D[IPC22,d]

fsop=100000;
v1op=100;
v2op=190;
deltaop=(0.52)/(2*Pi*fsop);
Lop=6.5*10^(-6);

kv1ev1=kv11/.{d->deltaop,l->Lop,n->2,t->1/(100000),v1->v1op,v2->v2op}//N;
kv2ev1=kv21/.{d->deltaop,l->Lop,n->2,t->1/(100000),v1->v1op,v2->v2op}//N;
kvdev1=kd1/.{d->deltaop,l->Lop,n->2,t->1/(100000),v1->v1op,v2->v2op}//N;
kvdev1*(1/(2*Pi*100000))//N;

kv1ev2=kv12/.{d->deltaop,l->Lop,n->2,t->1/(100000),v1->v1op,v2->v2op}//N;
kv2ev2=kv22/.{d->deltaop,l->Lop,n->2,t->1/(100000),v1->v1op,v2->v2op}//N;
kvdev2=kd2/.{d->deltaop,l->Lop,n->2,t->1/(100000),v1->v1op,v2->v2op}//N;
kvdev2*(1/(2*Pi*100000))//N;

Print["kv1ev1 = ",kv1ev1];
```

```
64 Print["kv2ev1 = ",kv2ev1];
65 Print["kvdev1 = ",kvdev1];
66 Print["kvdev1(angular) = ",kvdev1*(1/(2*Pi*100000))];
67
68 Print["kv1ev2 = ",kv1ev2];
69 Print["kv2ev2 = ",kv2ev2];
70 Print["kvdev2 = ",kvdev2];
71 Print["kvdev2*(angular) = ",kvdev2*(1/(2*Pi*100000))];
```

BIBLIOGRAFÍA

[1] J. Rodriguez, F. Blaabjerg, and M. P. Kazmierkowski, "Energy transition technology: The role of power electronics," *Proceedings of the IEEE*, vol. 111, no. 4, pp. 329–334, 2023.

[2] "Acuerdo de parís," uNTC XXVII 7. d.

[3] REN21, "Renewables 2023 global status report collection, renewables in energy demand," 2023, accedido en noviembre 2024. [Online]. Available: https://www.ren21.net

[4] Z. Quan, L. Ge, Z. Wei, Y. W. Li, and L. Quan, "A Survey of Powertrain Technologies for Energy-Efficient Heavy-Duty Machinery," *Proc. of the IEEE*, vol. 109, no. 3, pp. 279–308, 2021.

[5] A. Mohan and M. P.V, "Hybrid electric vehicles with v2x topology and smart energy management: An overview of their potential and limitations," in *2023 2nd International Conference on Futuristic Technologies (INCOFT)*, 2023, pp. 1–8.

[6] A. Stowhas-Villa, R. Carmona, C. A. Rojas, A. H. Wilson-Veas, and J. Marin, "Generalized switch-control scheme for a family of t-type dab gan-based dc-dc converters in ev powertrain applications," in *2023 IEEE 8th Southern Power Electronics Conference and 17th Brazilian Power Electronics Conference (SPEC/COBEP)*, 2023, pp. 1–6.

[7] S. W. F. C. Lee, M. Xu and B. Lu, "Design challenges for distributed power systems," in *2006 CES/IEEE 5th International Power Electronics and Motion Control Conference*, vol. 1, 2006, pp. 1–15.

[8] M. E. S. A. Gorji, H. G. Sahebi and A. B. Rad, "Topologies and control schemes of bidirectional dc–dc power converters: An overview," *IEEE Access*, vol. 7, pp. 117 997–118 019, 2019.

[9] D. G. H. D. Segaran and B. P. McGrath, "Enhanced load step response for a bidirectional dc–dc converter," *IEEE Trans. Power Electron.*, vol. 28, no. 1, pp. 371–379, 2013.

[10] C. Song, A. Chen, J. Chen, C. Du, and C. Zhang, "Optimized modulation scheme for dual active bridge dc-dc converter," in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2018, pp. 3569–3574.

[11] F. Zhang, F. Peng, and Z. Qian, "Study of the multilevel converters in dc-dc applications," in *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*, vol. 2, 2004, pp. 1702–1706 Vol.2.

[12] P. A. M. Bezerra, F. Krismer, R. M. Burkart, and J. W. Kolar, "Bidirectional isolated non-resonant dab dc-dc converter for ultra-wide input voltage range applications," in *2014 International Power Electronics and Application Conference and Exposition*, 2014, pp. 1038–1044.

[13] H. Watanabe, K. Kusaka, and J.-i. Itoh, "Output capacitor current reduction with t-type dual active bridge converter for wide output voltage condition," in *PCIM Europe digital days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2020, pp. 1–6.

[14] D. Yadeo and P. Chaturvedi, "Performance characterization of t-type multilevel dual active bridge dc-dc converter," *IEEE Transactions on Industry Applications*, vol. 59, no. 2, pp. 1877–1886, 2023.

[15] J. W. Zapata, T. A. Meynard, and S. Kouro, "Partial power dc-dc converter for large-scale photovoltaic systems," in *2016 IEEE 2nd Annual Southern Power Electronics Conference (SPEC)*, 2016, pp. 1–6.

[16] J. Rojas, H. Renaudineau, S. Kouro, and S. Rivera, "Partial power dc-dc converter for electric vehicle fast charging stations," in *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*, 2017, pp. 5274–5279.

[17] S. Rivera, D. Pesantez, S. Kouro, and P. W. Lehn, "Pseudo-partial-power converter without high frequency transformer for electric vehicle fast charging stations," in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2018, pp. 1208–1213.

[18] D. Wu, P. Wang, Y. Lyu, A. R. Arruti, Z. Ouyang, and M. A. Esbern Andersen, "Modeling and analysis of partial power concept for data center application," in *2024 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2024, pp. 2644–2650.

[19] D. Wu, P. Wang, Y. Lyu, M. A. E. Andersen, and Z. Ouyang, "A high-efficiency and high-power-density partial power buck-boost converter," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 12, no. 4, pp. 3563–3573, 2024.

[20] N. Weldt, J. Espinoza, D. Sbárbaro, L. Morán, and S. Kouro, "Topologies and control strategies of partial power dc/dc converters for photovoltaic systems," in *IECON 2021 – 47th Annual Conference of the IEEE Industrial Electronics Society*, 2021, pp. 1–6.

[21] C. S. Beckmann, C. A. Rojas, H. Renaudineau, S. Kouro, H. Young, R. Opazo, and S. Rivera, "Comparison of modulation strategies for a dual active bridge partial power dc-dc converter in ev powertrains," in *IECON 2022 – 48th Annual Conference of the IEEE Industrial Electronics Society*, 2022, pp. 1–6.

[22] R. Carmona, A. Stowhas-Villa, C. A. Rojas, H. Renaudineau, and J. Marin, "High power density electric vehicle powertrain based on a t-type dab partial power dc-dc converter," in *2023 IEEE 8th Southern Power Electronics Conference and 17th Brazilian Power Electronics Conference (SPEC/COBEP)*, 2023, pp. 1–6.

[23] K. Kalayci, O. Demirel, U. Arifoglu, and H. Hizarci, "Analysis of three-level t-type llc resonant isolated bidirectional dc–dc converter under three-degrees-of-freedom modulation," *IEEE Access*, vol. 11, pp. 60 605–60 625, 2023.

[24] D. Mou, Q. Luo, J. Li, Y. Wei, and J. Chen, "The novel single phase-shift modulation scheme for dual active bridge converter," in *2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia)*, 2020, pp. 2686–2690.

[25] C. Mi, H. Bai, C. Wang, and S. Gargies, "Operation, design and control of dual h-bridge-based isolated bidirectional DC–DC converter," *IET Power Electronics*, vol. 1, no. 4, p. 507, 2008. [Online]. Available: https://doi.org/10.1049/iet-pel:20080004

[26] S. S. Shah and S. Bhattacharya, "Control of active component of current in dual active bridge converter," in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2018, pp. 323–330.

[27] K. George, "Design and control of a bidirectional dual active bridge dc-dc converter to interface solar, battery storage, and grid-tied inverters," 2015. [Online]. Available: https://api.semanticscholar.org/CorpusID:73648338

[28] B. Zhao, Q. Song, W. Liu, and Y. Sun, "Overview of dual-active-bridge isolated bidirectional dc–dc converter for high-frequency-link power-conversion system," *IEEE Transactions on Power Electronics*, vol. 29, no. 8, pp. 4091–4106, 2014.

[29] L. David Pabon Fernandez, J. L. Diaz Rodriguez, and J. G. Carvajal, "Efficiency-thd ratio in three-phase cascaded multilevel power converters of single dc source," in *2017 IEEE Workshop on Power Electronics and Power Quality Applications (PEPQA)*, 2017, pp. 1–5.

[30] G.-J. Su, "Comparison of si, sic, and gan based isolation converters for onboard charger applications," in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2018, pp. 1233–1239.

[31] N. Berbel, G. J. Capella, J. Zaragoza, and J. Luis Romeral, "Performance assessment of a wide-bandgap-semiconductor dual-active-bridge converter for electrical vehicles," in *2021 IEEE 30th International Symposium on Industrial Electronics (ISIE)*, 2021, pp. 1–6.

[32] M. Jia, H. Sun, J. Cai, H. Zhang, Z. Zhou, and J. Chen, "Gan and sic based 500khz resonant bidirectional dc/dc design for 800v obcm application," in *2024 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2024, pp. 2425–2432.

[33] J. Liu, "Gan semiconductors driving more efficient automotive traction inverters [expert view]," *IEEE Power Electronics Magazine*, vol. 8, no. 4, pp. 48–53, 2021.

[34] N. Flaherty, "1200V GaN FET for 99

[35] "What is Switching Loss in a Transistor? - everything PE — everythingpe.com," https://www.everythingpe.com/community/what-are-switching-losses-in-a-transistor, [Accessed 10-10-2024].

[36] H. Abu-Rub, J. Holtz, J. Rodriguez, and G. Baoming, "Medium-voltage multilevel converters—state of the art, challenges, and requirements in industrial applications," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2581–2596, 2010.

[37] A. Salem, H. Van Khang, and K. G. Robbersmyr, "Four-level three-phase inverter with reduced component count for low and medium voltage applications," *IEEE Access*, vol. 9, pp. 35 151–35 163, 2021.

[38] C. A. Rojas, M. Aguirre, S. Kouro, T. Geyer, and E. Gutierrez, "Leakage current mitigation in photovoltaic string inverter using predictive control with fixed average switching frequency," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 12, pp. 9344–9354, 2017.

[39] M. Schweizer and J. W. Kolar, "Design and implementation of a highly efficient three-level t-type converter for low-voltage applications," *IEEE Transactions on Power Electronics*, vol. 28, no. 2, pp. 899–907, 2013.

[40] A. B. Stowhas, "Creación de estrategia de modulación para una nueva topología dc-dc construida a partir de un doble puente activo con piernas tipo-t basada en semiconductores gan para aplicaciones de autos eléctricos," Tesis de Magíster, Universidad Técnica Federico Santa María, Valparaíso, Chile, agosto 2024.

[41] J. A. García, "Partial power converters for dc-dc applications," Tesis Doctoral, Mondragon Unibertsitatea. Goi Eskola Politeknikoa, Mondragón, España, febrero 2023, acceso abierto. [Online]. Available: https://hdl.handle.net/20.500.11984/6141

[42] R. A. B. Vivanco, "Evaluación y verificación experimental de un convertidor ac-link reductor de tensión," Tesis de Magíster en Ciencias de la Ingeniería Electrónica, Universidad Técnica Federico Santa María, Valparaíso, Chile, mayo 2024.